

ЗАСТОСУВАННЯ НОВОГО ТЕОРЕТИКО-ЧИСЛОВОГО БАЗИСУ ДЛЯ ПОБУДОВИ ВИСОКОШВИДКІСНИХ ОБЧИСЛЮВАЛЬНИХ СИНТЕЗАТОРІВ ЧАСТОТИ (DDS)

Розглянуто принципи побудови фазових акумуляторів у прямих цифрових синтезаторах частоти – DDS. Виконано математичний аналіз виникнення затримок розповсюдження сигналу переносу у накопичувачах фази. Розглянуто базис Галуа для побудови високошвидкісних фазових акумуляторів обчислювальних синтезаторів частоти. Застосування запропонованих структур фазових акумуляторів дозволить зменшити енергоспоживання синтезаторів та покращити їх тактико-технічні характеристики.

Ключові слова: Software Defined Radio (SDR), АЦП, ЦАП, прямий синтезатор частоти, фазовий акумулятор, Галуа, ADC, DAC, Galois, direct frequency synthesizer (DDS).

Principles of phase accumulators in direct digital frequency synthesizers – DDS. A mathematical analysis of signal propagation delay in the transfer phase drives. Considered Galois basis for constructing high-speed phase frequency synthesizers computer batteries. Application of the proposed structures of phase will reduce battery consumption synthesizers and improve their performance characteristics.

Keywords: Software Defined Radio (SDR), ADC, DAC, direct frequency synthesizer, phase accumulator, Galois, ADC, DAC, Galois, direct frequency synthesizer (DDS).

Постановка задачі

Обчислювальні синтезатори частоти відіграють важливу роль у сучасних цифрових комунікаціях. Це забезпечується багатьма значними перевагами перед іншими типами синтезаторів: швидкість переналаштування частоти, висока розрізняльна здатність, широка синтезована смуга частот. Однак синтезатори DDS не відіграють домінуючої ролі у широкосмугових системах, стільникових системах зв'язку із стрибкоподібною зміною носійної частоти, в радарних системах, через частотні обмеження роботи елементів синтезатора, а особливо вихідних ЦАП. Хоча застосування GaAs технології дозволяє використати DDS у таких системах, вартість їх значно зростає. Одночасно із зростанням робочих частот синтезатора зростає їх енергоспоживання, що є неприйнятним для портативної апаратури. Отже необхідно шукати структуру синтезатора в КМОП технології, яке вирішило б питання високих робочих частот синтезатора з одночасним низьким енергоспоживанням.

Аналіз досліджень та публікацій

Спрощена структурна схема цифрового синтезатора частоти наведена на рис. 1. [1].

Фазове слово P розрядністю j додається до виходу з регістра фази у кожному такті опорної частоти – F_{clk} . Перетворювач фаза-амплітуда генерує відліки амплітуди розрядністю m , а цифро-аналоговий перетворювач генерує синусоїдальний сигнал. Розрізняльна здатність синтезатора складає

$$\Delta f = \frac{f_{clk}}{2^j}. \quad (1)$$

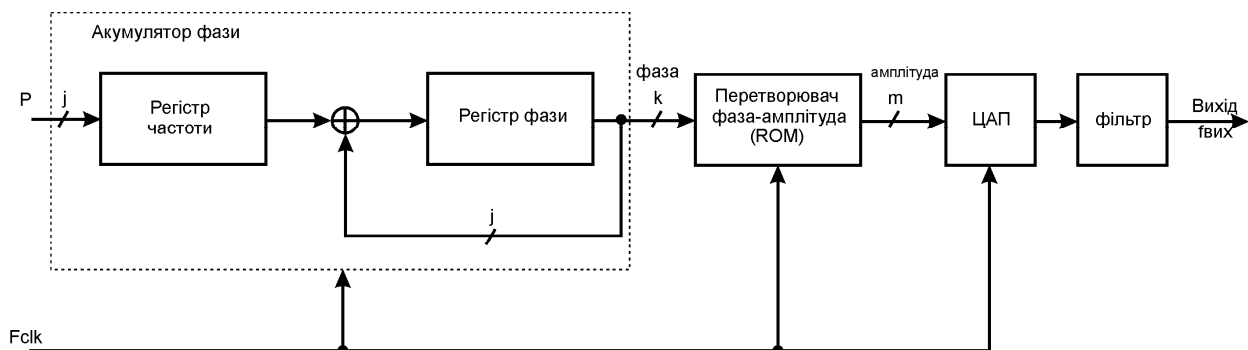


Рис. 1. Структурна схема DDS

Найбільше енергоспоживання у наведеній структурній схемі мають блоки акумулятора фази та ЦАП, хоча і блок постійного запам'ятовуючого пристрою має значне енергоспоживання. Отже зменшення енергоспоживання і підвищення швидкодії цифрових синтезаторів частоти можливо у наступний спосіб: підвищення швидкодії фазового акумулятора та зменшення його енергоспоживання, зменшення розміру постійного запам'ятовуючого пристрою перетворювача фаза-амплітуда, вибору оптимальної структури ЦАП. Паралельна структура акумуляторів підвищує швидкість роботи, проте одночасно зростає площа акумулятора та енергоспоживання кристалу. Такі акумулятори можуть використовуватись у високошвидкісних DDS, однак кількість конвеєрних станів зростає, а площа та енергоспоживання зростає за експоненціальним законом. Паралельний акумулятор споживає меншу потужність ніж конвеєрний

акумулятор, проте він потребує K суматорів для зростання швидкості в K раз.

Постановка завдання

Основним функціональним блоком синтезатора частоти є акумулятор фази. Важливою проблемою такого акумулятора є проблема поширення переносу [1]. Затримка поширення сигналу переносу призводить до нерівномірності формування сигналів переповнення фазового акумулятора і відповідно до формування квазіперіодичного вихідного сигналу – секвентності. N -бітний фазовий акумулятор може бути побудований за допомогою N -бітного суматора та N D тригерів. На практиці такий фазовий акумулятор не може здійснити додавання за один тактовий інтервал, через затримку результату на кожному одиничному суматорі. В роботі [1] запропоновано для зменшення залежності затримки поширення сигналів переносу, операнди та сигнали переносу необхідно захоплювати у стійкі стани D тригерами. У разі застосування чотирьохбітних ядер суматорів, структурна схема такого акумулятора фази набуде наступного вигляду – рис. 2.

Для підтримання коректного стану акумулятора, протягом часу виконання додавання необхідно підтримувати значення фазового слова на вході схеми. А результат акумулювання з’явиться на виході акумулятора лише через певну кількість тактів. Для прикладу на рис. 2 це складе 9 повних тактових циклів. Крім того для 32-х бітного акумулятора з 4-х бітною конвеєрною організацією, схема вимагає 144 D -тригера, чітка синхронізація яких є окремою складною науково-технічною задачею. Для спрощення схеми та зменшення кількості D -тригерів застосовують схеми перекосів на основі регістрів вирівнювання затримки. Платою за таке спрощення є зменшення частоти оновлення станів тригерів тільки f_s/N , де N – кількість станів конвеєра. Фазове слово, що надходить до фазового акумулятора, у більшості випадків формується у схемах з набагато меншою швидкодією, і часто асинхронно до опорного джерела DDS. Для дозволу асинхронного завантаження вхідного фазового слова необхідно додатково використовувати подвійну буферизацію входу фазового акумулятора. Вихідні елементи затримки будуються аналогічно до вхідних, так щоб молодші біти отримували найбільшу затримку, а найбільш важливі старші біти отримували мінімальну затримку. На рис. 2 дані найбільш значущих 12 біт фазового акумулятора затримуються в конвеєрних регістрах для досягнення повної синхронізації у конвертері фаза-амплітуда. Спрощення структури такого акумулятора фази досягається шляхом зменшення кількості регістрів затримки у молодших менш значущих бітах. Це стає можливим через те, що лише старші біти з виходу фазового акумулятора використовуються для перетворення фазових відліків у синусоїдальну функцію. Затримка між появою актуального значення фази на виході та завантаженням вхідного фазового слова складе 9 повних тактових циклів.

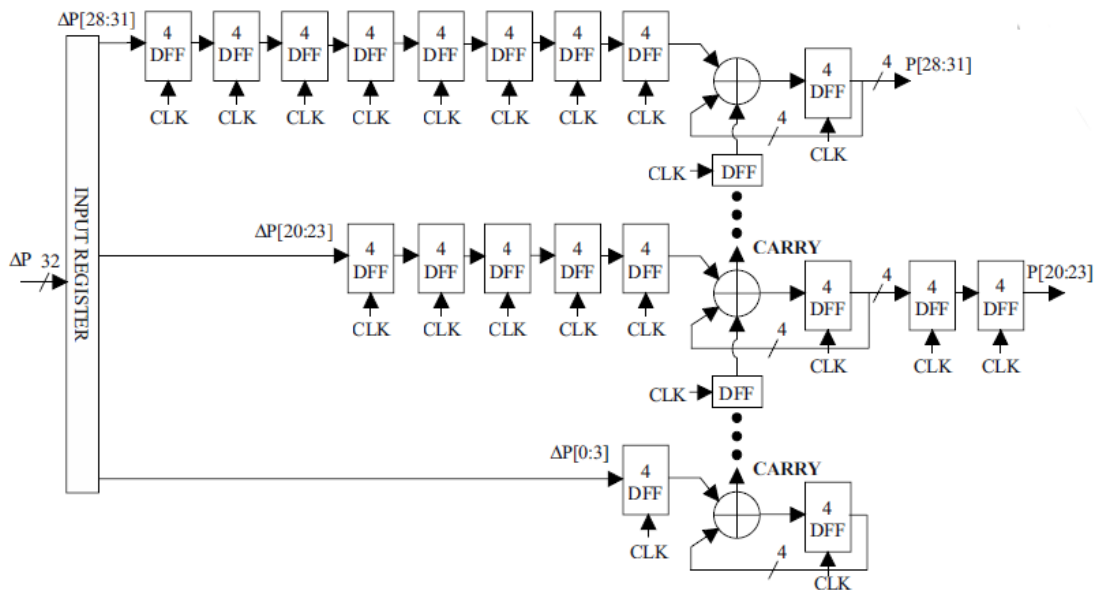


Рис. 2. Технологія 32-бітного фазового акумулятора з 4-х розрядними суматорами [1]

Проаналізуємо можливість побудови накопичувального суматора без проблеми затримки поширення переносу. Переважна більшість суматорів використовують класичний базис Радемахера. Пропоную більш докладно проаналізувати їх роботу. В базисі Радемахера існує ряд структур суматорів, напівсуматор представлений на рис. 3.

Робота суматорів такого типу описується наступним рівнянням:

$$S = A \wedge \bar{B} \vee \bar{A} \wedge B; P = A \wedge B. \quad (2)$$

Для повного суматора рівняння набувають вигляду:

$$S_i = \bar{A}_i \wedge \bar{B}_i \wedge P_{i-1} \vee \bar{A}_i \wedge B_i \wedge \bar{P}_{i-1} \vee A_i \wedge \bar{B}_i \wedge P_{i-1} \vee A_i \wedge B_i \wedge \bar{P}_{i-1}, \quad (3)$$

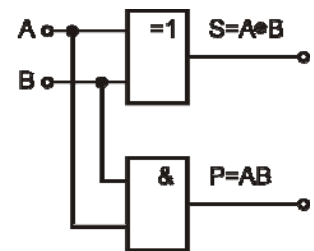


Рис. 3. Структура двійкового однорозрядного напівсуматора

$$P_i = \overline{A_i} \wedge B_i \wedge P_{i-1} \vee A_i \wedge \overline{B_i} \wedge P_{i-1} \vee A_i \wedge B_i \wedge \overline{P_{i-1}} \vee A_i \wedge B_i \wedge P_{i-1}.$$

Структура двійкового однорозрядного суматора повного суматора представлена на рис. 4. Нарощування розрядності виконується каскадуванням таких повних суматорів залежно від необхідної розрядності.

Основним недоліком суматорів у базисі Радемахера є наявність наскрізного переносу, що призводить до значного зниження швидкості процесорів, яке тим більше чим більша розрядність суматора.

Суматор може бути прискорений за рахунок застосування систем числення без залишків. Такі системи числення не мають елементів переносу між розрядами, отже проблема біжучого переносу для них не існує. Вперше таку ідею висловив Хармут Х. у книзі «Теорія секвентного аналізу». Проте кодування та декодування з однієї системи представлення чисел у іншу займає певний час і зменшує вигоду від зростання швидкості обчислення.

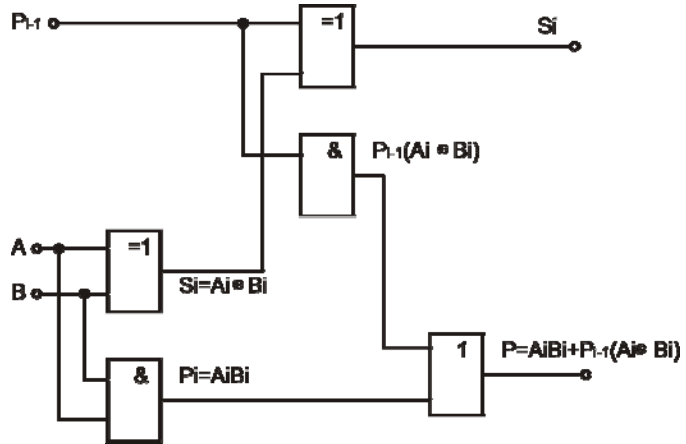


Рис. 4. Структура однорозрядного повного суматора

Проаналізуємо можливість застосування математичного теоретико-числового базису прямих ортогональних сум полів Галуа. Даний базис визначається властивостями Китайської теореми про залишки і описується системою дискретних ортогональних функцій Віленкіна – Крестенсона у системі взаємно простих модулів P_1, P_2, \dots, P_k . Цей базис породжує систему числення залишкових класів, яка представляє коди поля Галуа у k -мірному просторі. Теоретичні основи системи залишкових класів глибоко досліджувались Николайчуком Я.М. [6].

Теоретичною основою цілочисельного перетворення системи залишкових класів є доведення існування в кільці набору сукупності елементів $y_1, y_2, \dots, y_j, \dots, y_k$, які задовольняють систему Діофантових рівнянь:

$$\left. \begin{aligned} y_j &\equiv 1 \pmod{A_j} \\ y_j &\equiv 0 \pmod{\prod_{i \neq j}^k A_i}, \forall j = \overline{1, k} \end{aligned} \right\},$$

де A_j – символ ідеалу причому

$$A_j + \prod_{i \neq j}^k A_i = A; \forall j = \overline{1, k}.$$

В системі залишкових класів елементи Y_j позначається через B_j і називаються ортогональними базисами. При цьому $\{B_j\}$ повинні задовольняти систему рівнянь

$$\left. \begin{aligned} \sum_{j=1}^k B_j &\equiv 1 \pmod{\prod_{j=1}^k P_j} \\ B_j &\equiv 1 \pmod{P_j} \end{aligned} \right\},$$

де P_j – попарно взаємно прості модулі, звідки слідує, що:

$$\left. \begin{aligned} B_j &\equiv 1 \pmod{\prod_{j=1}^k P_j} \\ B_j &\equiv A \pmod{P_j}, i \neq j, \forall i = \overline{1, k} \end{aligned} \right\}.$$

Це рішення означає, що кожне B_j ділиться без остачі на всі P_i , якщо $i \equiv j$ і кожне B_j ділиться без остачі на добуток P_j , тобто

$$B_j = m_j \prod_{i \neq j}^k P_i,$$

де m_j – деяке ціле число у діапазоні $1 \leq m_j \leq P_j - 1$.

При цьому діапазон однозначного представлення чисел N_j у цілочисельних системах залишкових

класів знаходиться у межах

$$0 \leq N_j \leq \prod_{j=1}^k P_j - 1.$$

Якщо позначити

$$P = \prod_{j=1}^k P_j, \text{ то } B_j = m_j \frac{P}{P_j},$$

а m_j може бути знайдено з рішення Діофантового рівняння

$$m_j \frac{P}{P_j} \equiv 1 \pmod{P_j}.$$

Визначенні теоретичні положення визначають пару перетворень цілочисельної системи залишкових класів у вигляді зворотнього

$$N_j = \text{res} \sum_{j=1}^k b_j B_j \pmod{P}$$

та прямого перетворення

$$b_j = \text{res} N_k \pmod{P_j}; \forall j = \overline{1, k},$$

де b_j – найменший невід’ємний залишок числа N_j по модулю P_j , тобто $1 \leq b_j \leq P_j - 1$.

Традиційною галуззю застосування такого класу кодів Галуа та цілочисельної форми системи залишкових класів є побудова високопродуктивних процесорів, які працюють у модульній арифметиці системи залишкових класів.

Особливістю такої арифметики є відсутність наскрізних переносів, які існують у двійковій системі числення базису Радемахера. Тобто: додавання виконується згідно наступного виразу:

$$\begin{aligned} x &= (a_1, a_2, \dots, a_j, \dots, a_k) \\ y &= (b_1, b_2, \dots, b_j, \dots, b_k), \\ z &= (c_1, c_2, \dots, c_j, \dots, c_k) \end{aligned}$$

де $c_j = \text{res}(a_j + b_j) \pmod{P_j}; j \in \overline{1, k}$.

В роботі [3] проаналізовано побудову суматора на основі теоретико-числового базису Галуа, який дозволяє реалізувати підсумовування кодів без переносів. Операція сумування кодів у базисі Галуа, для суматорів в діапазоні $2^k - 1$, виконується шляхом виконання логічних операцій над бітами коду Галуа першого з доданків згідно таблиці логічних рівнянь, що описують другий доданок. В табл. 1 надані формули логічного опису бітів другого доданку, на прикладі 4-розрядного коду Галуа для суматорів в діапазоні 2^k

Таблиця 1

Формули логічного представлення кодів Галуа [3]

Десятькове значення	Код Галуа	Формула суматора			
		b_4	b_3	b_2	b_1
0	1111	b_4	b_3	b_2	b_1
1	1110	b_3	b_2	b_1	$b_1 \oplus b_4 \oplus b_3$
2	1101	b_3	b_1	b_2	$b_1 \oplus b_4$
3	1010	b_2	b_2	$b_1 \oplus b_4$	$b_1 \oplus b_2 \oplus b_4$
4	0101	b_1	$b_1 \oplus b_4$	$b_1 \oplus b_2 \oplus b_4$	$b_1 \oplus b_2 \oplus b_3 \oplus b_4$
5	1011	$b_1 \oplus b_4$	$b_1 \oplus b_2 \oplus b_4$	$b_1 \oplus b_2 \oplus b_3 \oplus b_4$	$b_1 \oplus b_2 \oplus b_3$
6	0110	$b_1 \oplus b_2 \oplus b_4$	$b_1 \oplus b_2 \oplus b_3 \oplus b_4$	$b_1 \oplus b_2 \oplus b_3$	$b_2 \oplus b_3 \oplus b_4$
7	1100	$b_1 \oplus b_2 \oplus b_3 \oplus b_4$	$b_1 \oplus b_2 \oplus b_3$	$b_2 \oplus b_3 \oplus b_4$	$b_1 \oplus b_3$
8	1001	$b_1 \oplus b_2 \oplus b_3$	$b_2 \oplus b_3 \oplus b_4$	$b_1 \oplus b_3$	$b_2 \oplus b_4$
9	0010	$b_2 \oplus b_3 \oplus b_4$	$b_1 \oplus b_3$	$b_2 \oplus b_4$	$b_1 \oplus b_3 \oplus b_4$
10	0100	$b_1 \oplus b_3$	$b_2 \oplus b_4$	$b_1 \oplus b_3 \oplus b_4$	$b_1 \oplus b_2$
11	1000	$b_2 \oplus b_4$	$b_1 \oplus b_3 \oplus b_4$	$b_1 \oplus b_2$	$b_2 \oplus b_3$
12	0000	$b_1 \oplus b_3 \oplus b_4$	$b_1 \oplus b_2$	$b_2 \oplus b_3$	$b_3 \oplus b_4$
13	0001	$b_1 \oplus b_2$	$b_2 \oplus b_3$	$b_3 \oplus b_4$	b_4
14	0011	$b_2 \oplus b_3$	$b_3 \oplus b_4$	b_4	b_3
15	0111	$b_3 \oplus b_4$	b_4	b_3	b_2

Наведені вище теоретичні відомості про властивості теоретико-числового базису Галуа дозволяють побудувати структурну схему 4-х розрядного суматора у кодї Галуа

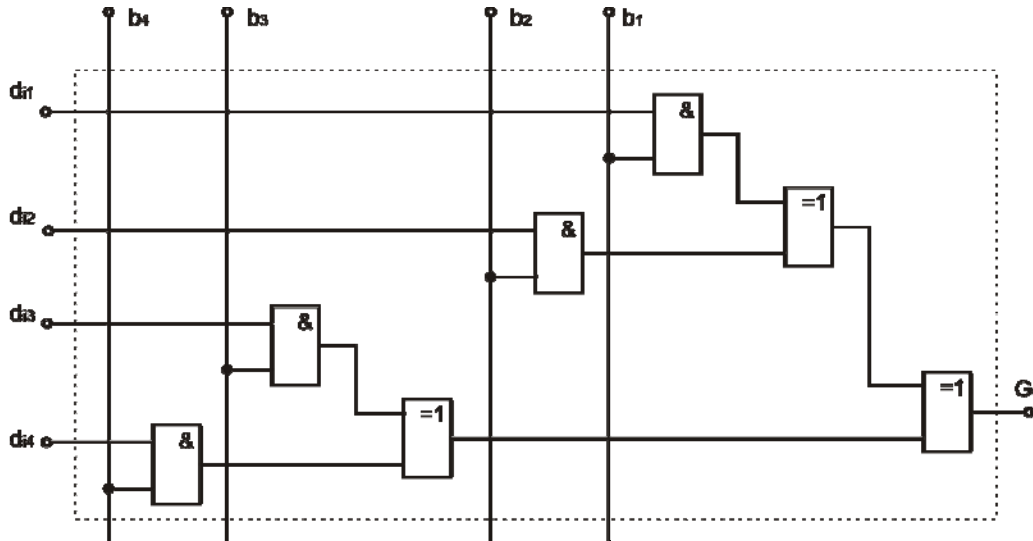


Рис. 5. Структурна схема 4-х розрядного суматора

Аналіз структури операційного пристрою сумування в базисі Галуа показує, що він характеризується регулярною архітектурою з часом затримки сигналів

$$T_{\Sigma G} = 3T_{ЛЕ} + \left(\frac{k}{4}\right)T_{ЛЕ},$$

де $T_{ЛЕ}$ – час затримки одного логічного елемента, k – розрядність суматора.

Аналіз показує, що час затримки сигналів при виконання операції сумування в базисі Галуа дорівнює: $T_{\Sigma G} = 5T_{ЛЕ} + kQ_{ЛЕ}$, де $Q_{ЛЕ} = \frac{T_{ЛЕ}}{4}$. Оскільки дана затримка відповідає 4-м розрядам суматора, а при подвоєнні розрядності суматора в схему послідовно включається один додатковий елемент "виключне АБО", затримка сигналів може бути визначена для базисів Радемахера та Галуа відповідно:

$$V_{\Sigma R} = \frac{1}{3kT_{ЛЕ}} \tag{4}$$

$$V_{\Sigma G} = \frac{1}{5T_{ЛЕ} + kQ_{ЛЕ}}. \tag{5}$$

З виразів (4,5) випливають наступні залежності (рис. 6) часу затримки від розрядності суматора.

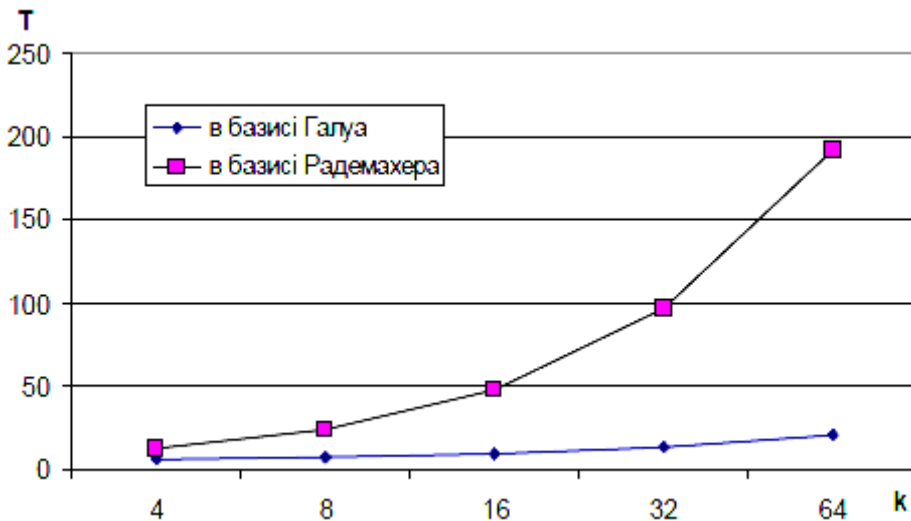


Рис. 6. Залежність часу затримки паралельних суматорів в базисі Радемахера та Галуа [3]

З графіка на рис. 6 можна побачити, що при використанні суматорів з розрядністю $k = 16-64$ швидкодія у базисі Галуа перевищує швидкодія суматорів у базисі Радемахера в 5-9 разів.

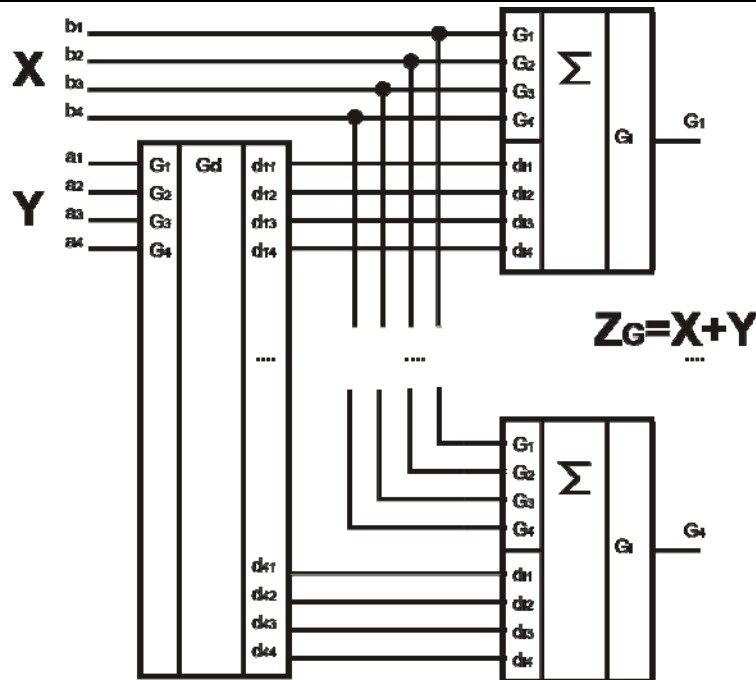


Рис. 7. Структурна схема 4-х розрядного паралельного суматора Галуа із Галуа дешифратором [6]

На рис. 7.представлено структурну схему 4-х розрядного паралельного суматора Галуа із Галуа дешифратором для перетворення кодів Радемахера у коди Галуа. Для систем прямого цифрового синтезу частот і сигналів (DDS) важливим структурним елементом є накопичувальний суматор, що являє собою суматор із регістром проміжного результату вихід якого заведений на один з входів суматора. На рисунку 8 представлено структурну схему k-розрядного паралельного накопичувального суматора у кодах Галуа, який може бути застосований у обчислювальних синтезаторах прямого синтезу (DDS) дворівневих сигналів.

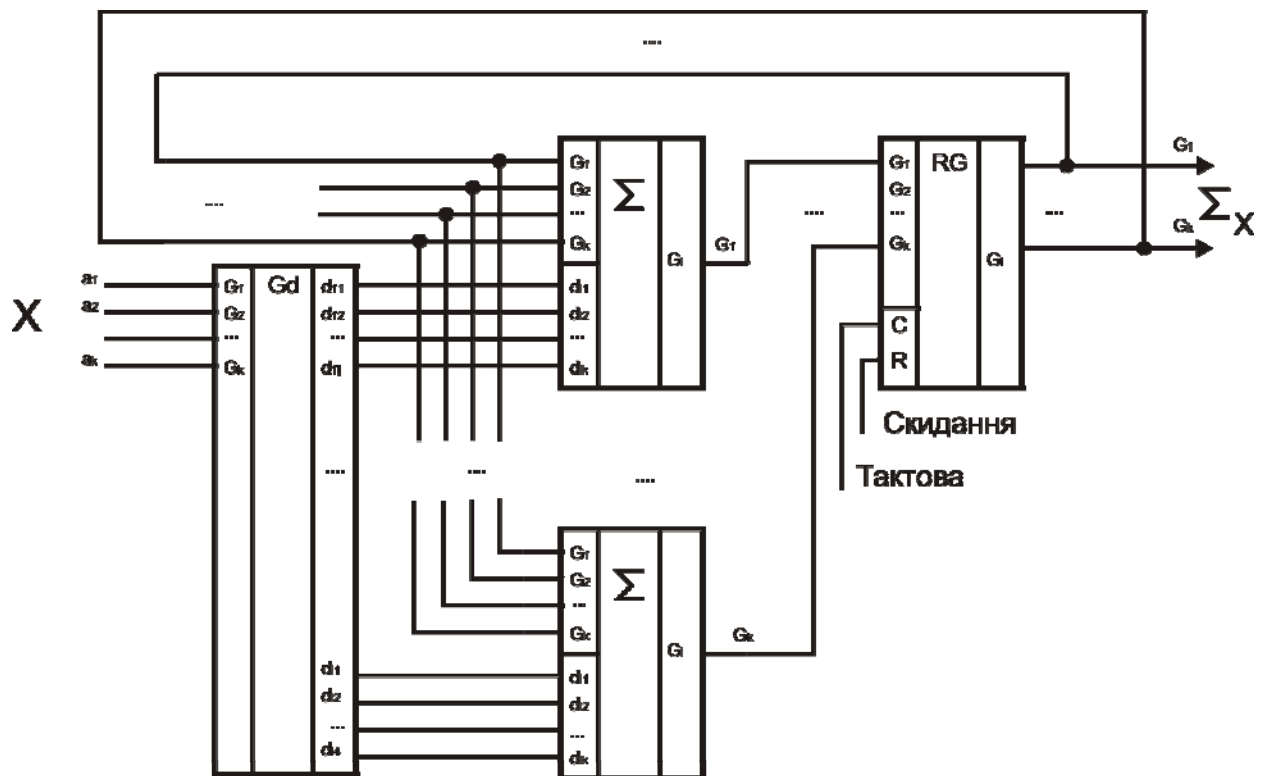


Рис. 8. Структурна схема k- розрядного паралельного накопичувального суматора у кодах Галуа

Для синтезу багаторівневих сигналів крім фазового акумулятора необхідно застосувати, ще перетворювач кодів Галуа у коди Радемахера, для адресації постійного запам'ятовуючого пристрою, що містить відліки синтезованого сигналу (як правило гармонійного).

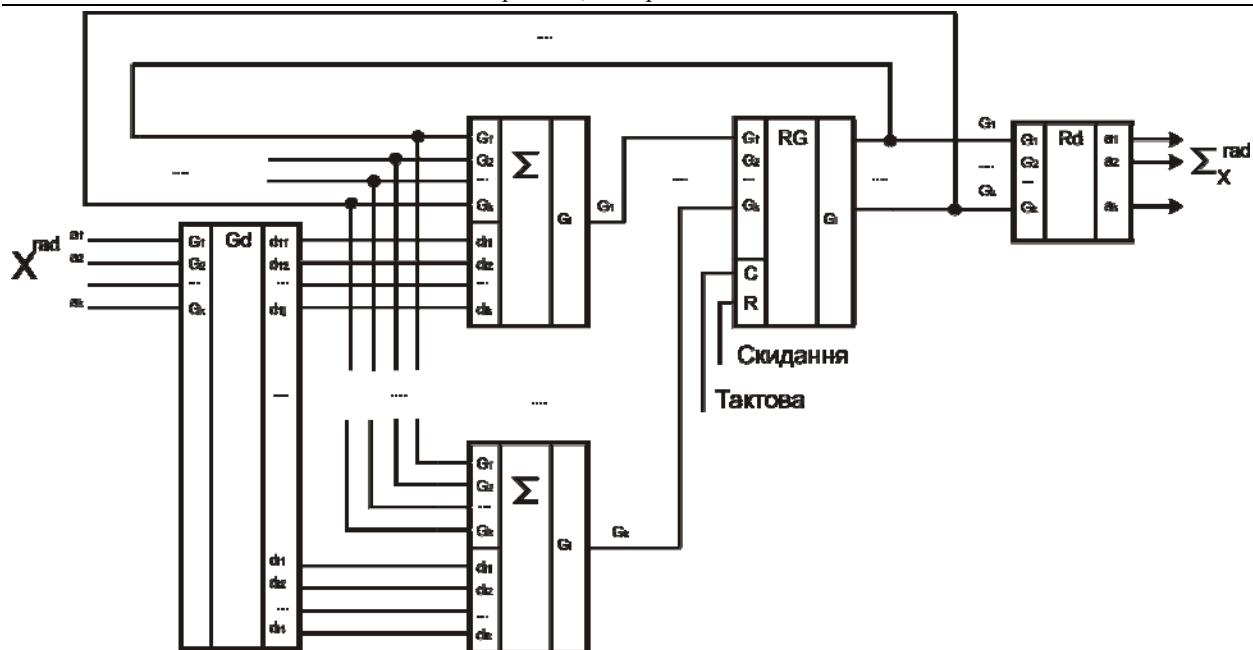


Рис. 9. Структурна схема k -розрядного паралельного накопичувального суматора у кодах Галуа з вихідним дешифратором у базис Радемахера

Отже фазовим акумулятором, що представлені на рис. 8,9, не буде властива проблема затримки сигналу переносу із розряду у розряд у процесі формування результуючого кодового слова

Висновки

Розглянуто принципи організації фазових акумуляторів цифрових синтезаторів частоти – DDS.. Розглянуто причини виникнення затримки синтезованих сигналів у обчислювальних синтезаторах частоти і виявлено, що однією з найважливіших причин є затримка сигналів переносу у фазовому акумуляторі синтезатора (класичному накопичувальному суматорі). Розглянуто можливості застосування нових теоретико-числових базисів для побудови фазових акумуляторів без проблеми затримки поширення сигналів переносу із розряду у розряд кодового слова. Розглянута можливість застосування базису Галуа для покращення швидкодії синтезатора. Запропоновано структури фазових акумуляторів у кодах Галуа для дворівневого та багаторівневого синтезу частот та сигналів. Запропоновані структури фазових акумуляторів можуть бути використані у високошвидкісній апаратурі синтезу частоти, до якої висуваються вимоги високої точності синтезу частоти із зменшеним енергоспоживанням.

Література

1. Vankka J. Direct Digital Synthesizers: Theory, Design and Applications // Helsinki University of Technology. – 2000. – С. 192.
2. Byung-Do Yang, Jang-Hong Choi, Seon-Ho Han An 800-MHz Low-Power Direct digital Frequency synthesizer With an On-Chip D/A converter/ Byung-Do Yang // IEEE Journal of solid-state circuits, vol.39, № 5. – 2004.
3. Николайчук Я.М. Теоретичні засади та принципи побудови арифметико-логічного пристрою на основі вертикально-інформаційної технології / Я.М. Николайчук, О.М. Заставний, П.В. Гуменний // Вісник Хмельницького національного університету. Технічні науки. – 2012. – № 2. – С. 190-196.
4. Манасевич В. Синтезаторы частот. Теория и проектирование: Пер. с англ. / В. Манасевич // Под ред. А.С. Галина. – М.: Связь, 1979.
5. Yuanwang Yang, Jingye Cai A Novel DDS Structure with Low Phase Noise and spurs/ Yuanwang Yang // UESTC, Chengdu. – 2011.
6. Николайчук Я.М. Коды поля Галуа: теория та застосування / Я.М. Николайчук. – Монографія. – Тернопіль: ТзОВ «Тернограф», 2012. – 576 с., іл.

Надійшла до редакції
21.3.2013 р.