

Хмельницький національний університет  
Факультет програмування та комп'ютерних і телекомунікаційних систем  
Кафедра комп'ютерної інженерії та системного програмування

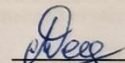
## ДИПЛОМНА РОБОТА МАГІСТРА

Галузь знань 12 – Інформаційні технології  
Спеціальність 123 – Комп'ютерні інженерія  
на тему: «Цифровий квазірівневий дельта-модулятор з алгоритмом адаптивного дозволу»

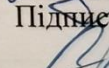
ДРКІСПр 015063.15.01.10. ПЗ

Виконав: студент 2 курсу, група КІ2м-19-1

Керівник: к.т.н., доцент  
Науковий ступінь, вчене звання

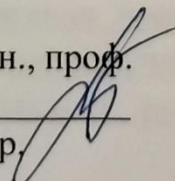
  
Підпис

Личак Д.О.  
Ініціали, прізвище

  
Підпис

Іванов О.В.  
Ініціали, прізвище

До захисту допускаю:  
ЗАВ. Кафедри КІСП, д.т.н., проф.

Т. О. Говорущенко  
25 05 2021 р. 

Хмельницький 2021

ХМЕЛЬНИЦЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ

Факультет програмування та комп'ютерних і телекомунікаційних систем

Кафедра комп'ютерної інженерії та системного програмування

Освітній ступінь магістр

Галузь знань 12 - Інформаційні технології

Спеціальність 123 - Комп'ютерна інженерія

ЗАТВЕРДЖУЮ

Зав. кафедри

« 07 » 09 2020 року

**ЗАВДАННЯ**

**НА ДИПЛОМНУ ПРОЕКТ (РОБОТУ)**

Личаку Даниїлу Олександровичу

(Прізвище, ім'я, по батькові студента у давальному відмінку)

1. Тема дипломної роботи магістра: «Цифровий квазірівневий дельта-модулятор з алгоритмом адаптивного дозволу»

Керівник роботи Іванов О.В., к.т.н., доцент

Прізвище, ім'я, по батькові, науковий ступінь, вчене звання

Затверджено наказом університету від \_\_\_\_\_

2. Строк подання студентом проекту (роботи) на кафедру 24.05.2021р.





3. Вихідні дані до проекту (роботи) Завдання на дипломне проектування

4. Зміст пояснювальної записки (перелік задач) та вихідні дані:

Мета роботи – дослідження програмного забезпечення процесу модернізації телефонної мережі загального користування на базі SIP-адаптора, обмежень, що існують у звичайних пасивних модуляторах та звичайних аналого-цифрових перетворювачів.

5. Перелік графічного матеріалу (із зазначенням обов'язкових креслень)

## 6. Консультанти розділів дипломного проекту (роботи)

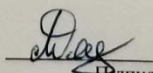
Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв
Нормоконтроль	Лисенко С.М., доцент кафедри КІСП		
Антиплагіат	Нічепорук А.О., старший викладач кафедри КІСП		

7. Дата видачі завдання « 10 » 09 2020 р.

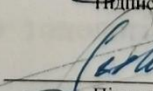
## КАЛЕНДАРНИЙ ПЛАН

№з/п	Назва етапів (розділів) дипломного проекту (роботи)	Термін виконання етапів проекту (роботи)	Примітка
1	Вибір напрямку дослідження та узгодження тематики ДРМ з керівником	10.09.2020	виконано
2	Ознайомлення з предметною областю; формулювання мети та задач дослідження; визначення об'єкта та предмета дослідження	05.10.2020	виконано
3	Робота над розділом 1 – аналіз відомих моделей, методів за темою; постановка задачі	05.11.2020	виконано
4	Робота над розділом 2 – розробка моделей для вирішення поставленої задачі	05.12.2020	виконано
5	Робота над науковою статтею	05.01.2021	виконано
6	Робота над розділом 3 – розробка методів для вирішення поставленої задачі	15.02.2021	виконано
7	Робота над розділом 4 – проектування та розробка ПЗ для вирішення поставленої задачі, експериментальна частина	05.04.2021	виконано
8	Оформлення пояснювальної записки згідно вимог	15.04.2021	виконано
9	Попередній захист ДРМ	25.04.2021	виконано
10	Захист ДРМ на засіданні ЕК	До 31.05.2021	

Студент

 Підпис  
 Д.О. Личак  
 Ініціали, прізвище

Керівник проекту (роботи)

 Підпис  
 О.В. Іванов  
 Ініціали, прізвище

## Реферат

Тема дипломної роботи: «Цифровий квазірівневий дельта-модулятор з алгоритмом адаптивного дозволу»

Автор роботи: Личак Даниїл Олександрович

Керівник роботи: Іванов Олексій Валентинович

Пояснювальна записка: ст., 14 рис., 2 дод., 72 джерела.

Ключові слова: аналого-цифровий перетворювач, інформаційна система, інформаційні технології, комплементарна структура метал-оксид-напівпровідник, генератор, компаратор, сигма-дельта-модулятор.

Об'єкт дослідження є аналогово-цифрові перетворювачі малої потужності в наномасштабній КМОН як система взаємопов'язаних складових та їх властивостей.

Предмет дослідження є процес програмного забезпечення модернізації телефонної мережі та реалізація дельта-модулятора.

Метою роботи є дослідження програмного забезпечення процесу модернізації телефонної мережі загального користування на базі SIP-адаптера, обмежень, які загалом існують у звичайних пасивних модуляторах  $\Delta\Sigma$  з ковпачком та звичайних аналого-цифрових перетворювачів (АЦП). Запропоновано та впроваджено топології для подолання цих обмежень. Представлено реалізацію дельта-модулятора. Запропоновано пропозиції щодо майбутніх досліджень.

Для розв'язання поставлених задач використовуються основні положення методів аналізу даних, теорії, топології, системного аналізу.

Наукова новизна одержаних результатів полягає у наступному:

1. Удосконалено дельта-модулятор quasi-LC, який забезпечує пряму реалізацію алгоритмів в цифровій області за рахунок доданого незалежного додаткового шляху зворотнього зв'язку та нульового каскаду.

2. Запропоновано та впроваджено топології для подолання обмежень у процесах.

3. Запропоновано дельта-модулятор quasi-LC, який забезпечує пряму реалізацію алгоритмів в цифровій області.

4. Розроблено пропозиції та рекомендації щодо досліджень.

Практичне значення одержаних результатів.

Для поліпшення шумопоглинання та стабільності запропонованого модулятора до інтегратора 2-го ступеня додано незалежний додатковий шлях зворотнього зв'язку та нульовий каскад.

Для проведення дослідження було розглянуто та запропоновано цифровий інтенсивний, керований подіями, квазірівневий (quasi-LC) дельта-модулятор з алгоритмом адаптивного дозволу (AR), який забезпечує стиснення даних за допомогою глобальної залежної від сигналу середньої частоти дискретизації та досягає адаптивного дозволу через цифрової багаторівневе вікно порівняння. Це дає змогу подолати компроміс між динамічним діапазоном та вхідною смугою пропуску, яка існує для звичайних АЦП.

Представлений дельта-модулятор може значно зменшити споживану потужність шляхом передачі, обробки та зберігання даних.

## Зміст

Перелік скорочень.....	09
Вступ.....	10
Розділ 1	
Мотивація та передумови впровадження АЦП.....	14
1.1 Мотивація дослідження АЦП.....	14
1.2 Вплив наномасштабної КМОН на впровадження АЦП.....	17
1.3 Техніка впровадження АЦП Delta-Sigma з низьким рівнем потужності в наномасштабній КМОН.....	17
1.4 АЦП для стиснених зондуючих програм.....	20
Висновок до розділу 1.....	22
Розділ 2	
Модулятор Delta-Sigma з пасивним комутованим конденсатором, його властивості та призначення .....	24
2.1 Модулятор Delta-Sigma з пасивним комутованим конденсатором на основі «конвеєрного» обертання з розподілом заряду в 29-нм КМОН.....	24
2.2 Системний аналіз $\Delta\Sigma$ модулятора.....	25
2.3 Активні модулятори Delta Sigma з активним комутованим конденсатором другого порядку .....	27
2.4 Модулятори Delta Sigma з пасивним імпульсним конденсатором другого порядку.....	28
2.5 Оптимізація параметрів дельта-модулятора.....	34
2.6 Впровадження схеми та «конвеєрний» фільтр низьких частот .....	38
Висновок до розділу 2 .....	43
Розділ 3	
Дельта-модулятор квазірівневого переходу, його властивості та призначення.....	44
3.1 Дельта-модулятор квазірівневого переходу з адаптивним дозволом на основі квантування залишків .....	44

3.2 Системний аналіз дельта-модулятора quasi-LC AR та динамічний діапазон (DR).....	47
3.3 Алгоритм адаптивного дозволу (AR).....	49
Висновок до розділу 3.....	52
Розділ 4	
Дельта-модулятор квазірівневого переходу з адаптивною роздільною здатністю з квантовачем залишків на основі SAR та VCO.....	53
4.1 Квантор залишків на основі SAR.....	53
4.2 Вимірювання алгоритму AR.....	55
4.3 Квантор залишків на основі VCO.....	57
4.4 Порівняння між АЦП quasi-LC із квантовачем залишків на основі SAR та з квантовачем залишків на основі VCO.....	58
Висновок до розділу 4.....	59
Практичні рекомендації.....	60
Висновки .....	62
Перелік посилань.....	64
Додатки.....	72

## Перелік скорочень

ДРМ - Дипломна робота магістра

ІС - Інформаційна система

ІТ - Інформаційна технологія

БД - База даних

СКБД - Система керування базами даних

АЦП (ADC – advanced direct connect) - Аналого-цифровий перетворювач

ЦАП (DAC – digital to analog converter) - Цифро-аналоговий перетворювач

КМОН (CMOS) - Комплементарна структура метал-оксид-напівпровідник

VCO - Генератор, керований напругою

КТ (СТ) – Компаратори

$\Sigma\Delta$  (Delta Sigma) - Сигма-дельта модулятор

SW-CAP - Комутований конденсатор

АЧХ - Амплітудно-частотна характеристика

AR (augmented reality) - Доповнена реальність

SAR (specific absorption rate) - Питомий коефіцієнт поглинання електромагнітної енергії

## Вступ

Дипломна робота магістра присвячена дослідженню обмежень, які загалом існують у звичайних пасивних модуляторах  $\Delta\Sigma$  з ковпачком та звичайних аналого-цифрових перетворювачів (АЦП). Запропоновано та впроваджено топології для подолання цих обмежень. Представлено реалізацію дельта-модулятора. Запропоновано пропозиції щодо майбутніх досліджень.

Для поліпшення шумопоглинання та стабільності запропонованого модулятора до інтегратора 2-го ступеня додано незалежний додатковий шлях зворотнього зв'язку та нульовий каскад. Представлено цифровий інтенсивний квазірівневий перехресний (quasi-LC) дельта-модулятор АЦП з алгоритмом адаптивного дозволу (AR) для бездротових мереж IoT, в якому мінімізація середньої частоти дискретизації для розріджених вхідних сигналів може значно зменшити споживану потужність шляхом передачі, обробки та зберігання даних.

Запропонований модулятор забезпечує стиснення даних за допомогою загальнозалежної середньої частоти дискретизації, що залежить від сигналу та адаптивну роздільну здатність через цифрове багаторівневе вікно порівняння, яке долає компроміс між динамічним діапазоном (DR) та вхідною смугою пропускання, яка існує для звичайних АЦП.

**Актуальність теми.** Постійно зростаючі вимоги до мереж Інтернету речей (IoT) сприяють новітнім тенденціям енергоефективного проектування систем на аналоговому інтерфейсі, аналого-цифровому перетворювачі (АЦП), РЧ-модуляторі (ТХ) та процесорі цифрових сигналів (DSP). Це додатково мотивовано відносно повільним розвитком технологій накопичення енергії та сподіваннями споживачів їх експлуатації протягом тривалого часу. Для досягнення доступних широкомасштабних інтеграцій, одночасно використовуючи поліпшену цифрову енергоефективності, мережі IoT необхідно реалізовуватись в глибокій наномасштабній технології КМОН (CMOS). Однак досить складно та енергоємно впроваджувати високопродуктивні підсилювачі та компаратори безперервного часу (СТ), які, як правило, є необхідними елементами для більшості звичайних

аналого-цифрових перетворювачів (АЦП) в глибоких наномасштабних КМОН, враховуючи низький власний коефіцієнт підсилення транзисторів та знижену напругу живлення. Тому пасивні та цифрові інтенсивні топології АЦП є доступними альтернативами глибоких наномасштабних КМОН для підвищення загальної енергоефективності.

Для застосувань, що вимагають високої роздільної здатності та вдалої лінійності Delta-Sigma АЦП ( $\Delta\Sigma$  АЦП) можуть бути підходящим варіантом, оскільки вони можуть розслабити інтерфейсну фільтрацію згладжування та зменшити шум квантування в діапазоні за допомогою методів передискретизації та формування шуму. Для сприяння низькій потужності можуть бути задіяні пасивні інтегратори, що містять лише перемикачі та конденсатори.

У дипломній роботі продемонстровано модулятор  $\Delta\Sigma$  з пасивним комутованим конденсатором (sw-cap) на основі обертання конвеєрного розподілу заряду в КМОН 28 нм, що не тільки усуває будь-які міжступеневі ефекти навантаження, які завдають шкоди традиційним пасивним модуляторам  $\Delta\Sigma$ , але також пом'якшує вимоги до встановлення та покращує загальну енергоефективність.

Для програм, що мають справу з розрідженими сигналами та вимагають низької середньої роздільної здатності та стисненого розміру вихідних даних, АЦП рівня перетину (LC) можуть бути підходящим варіантом, оскільки вони можуть виробляти залежну від входу середню частоту дискретизації, тим самим зменшуючи енергоспоживання RF TX та DSP відповідно для передачі та обробки даних.

У дипломній роботі представляється цифровий інтенсивний, керований подіями, квазірівневий (quasi-LC) дельта-модулятор з алгоритмом адаптивного дозволу (AR). Запропонований дельта-модулятор quasi-LC квантує сигнал залишкової напруги за допомогою квантора залишків, що забезпечує пряме впровадження алгоритмів LC та AR у цифровій області. Запропонований модулятор забезпечує стиснення даних за допомогою загально залежної середньої частоти дискретизації, що залежить від сигналу та адаптивну роздільну здатність

через цифрове багаторівневе вікно порівняння, яке долає компроміс між динамічним діапазоном (DR) та вхідною смугою пропускання, як представлено у звичайних АЦП LC.

Квантування залишків спочатку впроваджено як sub-ADC Successive Approximation-Register (SAR) для кращої енергоефективності, а потім також він реалізований як підсинхронний АЦП на основі регулятора напруги (VCO) для досягнення вищої DR та середньої частоти дискретизації для низько амплітудних та повільно змінюваних сигналів.

**Мета і задачі роботи.** Мета роботи полягає у дослідженні програмного забезпечення процесу модернізації телефонної мережі загального користування на базі SIP-адаптера, обмежень, які загалом існують у звичайних пасивних модуляторах  $\Delta\Sigma$  з ковпачком та звичайних аналого-цифрових перетворювачів (АЦП). Запропоновано та впроваджено топології для подолання цих обмежень. Представлено реалізацію дельта-модулятора. Запропоновано пропозиції щодо майбутніх досліджень.

Для досягнення поставленої мети необхідно розв'язати наступні задачі дослідження:

1. Провести аналіз та розробку пасивних модуляторів.
2. Провести аналіз системного рівня дельта-модулятора.
3. Представити реалізацію дельта-модулятора.
4. Розробити та вдосконалити пропозиції щодо досліджень.

**Об'єкт дослідження** – аналогово-цифрові перетворювачі малої потужності в наномасштабній КМОН як система взаємопов'язаних складових та їх властивостей.

**Предмет дослідження** – процес програмного забезпечення модернізації телефонної мережі та реалізація дельта-модулятора.

**Методи дослідження**, застосовані для вирішення поставлених завдань: для розв'язання поставлених задач використовуються основні положення методів аналізу даних, теорії, топології, системного аналізу.

**Наукова новизна одержаних результатів.** В результаті проведеної роботи були отримані такі положення наукової новизни:

1. Удосконалено дельта-модулятор quasi-LC, який забезпечує пряму реалізацію алгоритмів в цифровій області за рахунок доданого незалежного додаткового шляху зворотнього зв'язку та нульового каскаду.

2. Запропоновано та впроваджено топології для подолання обмежень у процесах.

3. Запропоновано дельта-модулятор quasi-LC, який забезпечує пряму реалізацію алгоритмів в цифровій області.

4. Розроблено пропозиції та рекомендації щодо досліджень.

**Практичне значення одержаних результатів.** Для поліпшення шумопоглинання та стабільності запропонованого модулятора до інтегратора 2-го ступеня додано незалежний додатковий шлях зворотнього зв'язку та нульовий каскад.

Для проведення дослідження було розглянуто та запропоновано цифровий інтенсивний, керований подіями, квазірівневий (quasi-LC) дельта-модулятор з алгоритмом адаптивного дозволу (AR), який забезпечує стиснення даних за допомогою глобальної залежної від сигналу середньої частоти дискретизації та досягає адаптивного дозволу через цифрове багаторівневе вікно порівняння. Це дає змогу подолати компроміс між динамічним діапазоном та вхідною смугою пропуску, яка існує для звичайних АЦП.

Представлений дельта-модулятор може значно зменшити споживану потужність шляхом передачі, обробки та зберігання даних.

**Апробація результатів дипломної роботи магістра та публікації.**

Основні наукові та практичні результати

**Структура та обсяг роботи.** Дипломна робота магістра складається з завдання, реферату, змісту, переліку скорочень, вступу, 4 розділів, висновків, практичних рекомендацій, переліку посилань із 72 найменувань та 2 додатків. Загальний обсяг дипломної роботи магістра становить 75 сторінок, з них 65

сторінок основного тексту та 2 сторінки додатків. У роботі наведено 14 рисунків та 1 таблиці.

## **Розділ 1.**

### **Мотивація та передумови впровадження АЦП**

#### **1.1 Мотивація даного дослідження**

Бездротові сенсорні пристрої лежать в основі широкої екосистеми Інтернету речей (IoT), в якій радіочастотний передавач (TX) [3, 52] та цифрова обробка сигналів (DSP) домінують у бюджеті споживача енергії [58, 67]. Зважаючи на відносно повільний розвиток технології накопичення енергії та необхідність продовження часу очікування бездротових вузлів бездротових датчиків, які працюють від акумуляторів на аналоговому інтерфейсному аналого-цифровому перетворювачі, необхідно підкреслити високу енергоефективність АЦП (ADC) на рівні RF TX та DSP.

Застосовуючи наномасштабну технологію КМОН, бездротові вузли датчиків у великомасштабному масиві датчиків можуть досягти як заощадливої інтеграції, так і чудової цифрової енергоефективності.

Однак через низький власний коефіцієнт посилення транзисторів та знижену напругу живлення в глибоких наномасштабних КМОН досить складно впровадити високопродуктивні безперервні підсилювачі та компаратори. Як правило, це вимагає прийняття багатоступеневих топологій підсилювачів, часто енергоємних і вимагаючих надзвичайно ретельної конструкції для зменшення проблем.

Отже, пасивні та цифрово інтенсивні АЦП топології є домінуючою тенденцією проектування в глибоких наномасштабних КМОН для досягнення високої енергоефективності.

У широкій системі IoT для різних застосувань вбудовані АЦП вимагають різних специфічних конструкцій. Для таких програм, як аудіо, що потребують високої роздільної здатності та вдалої лінійності, АЦП Delta-Sigma ( $\Delta\Sigma$  ADCs)

можуть бути підходящим варіантом. Застосовуючи методи надмірної вибірки та техніки формування шуму, можна знизити інферфейсну фільтрацію згладжування та стримати внутрішньосмуговий шум квантування.

Для програм, що мають справу з розрідженими сигналами, такими як біосигнали, та вимагають стисненого розміру вихідних даних для зменшення потужності, споживаною передачею даних [34], обробкою та обладнанням для зберігання даних, АЦП рівня перетину (LC) може бути вдалим варіантом, так як вони мають залежну від входу середню частоту дискретизації.

Таким чином, є сенс дослідити шляхи впровадження  $\Delta\Sigma$  АЦП та LC АЦП з пасивними та цифровими інтенсивними топологіями в глибоких наномасштабних КМОН для досягнення низького енергоспоживання.

## **1.2 Вплив наномасштабної КМОН на впровадження АЦП**

### **1. Напруга живлення та порогова напруга.**

Протягом останніх 50 років розміри транзисторів постійно зменшувались до глибоких нанометрів, а кількість транзисторів подвоювалася кожні два роки, як зображено на дорожній карті ITRS 2.0, що відповідає закону Мура [35]. У міру того, як технологія масштабується, зменшення напруги живлення неминуче впливає через наслідки залежного від часу діелектричного пробоя та впорскування гарячого носія. Масштабування порогової напруги порівняно повільніше, ніж напруги живлення, що в основному пов'язано з тим, що струм транзистора залежить від порогової напруги. В зв'язку з цим виявлено, що для обмеження струму транзисторів порогова напруга не може бути прямолінійно масштабованою [51].

При масштабуванні напруги живлення та відносно повільному масштабуванні порогової напруги операційні підсилювачі, що використовують методи каскоду, не можуть бути використані для реалізації з високим коефіцієнтом посилення. Завдяки ефекту модуляції довжини каналу транзисторів, власний

коефіцієнт посилення транзисторів погіршується, коли довжина каналу масштабується.

Для досягнення високих показників необхідно застосовувати багатоступеневі каскадні конструкції. Однак вони споживають електроенергію і потребують компенсації частоти. Крім того, довжину каналу також можна збільшити, щоб поліпшити вихідний опір, але не без шкоди для швидкості.

## 2. Витік.

У наномасштабній КМОН не можна нехтувати витоками затвора. Це пов'язано з тим, що витікання тунельних воріт, що є основним фактором витоку затвора, деградує в міру розрідження оксиду затвора [6, 48, 65]. Витік затвора та струм відключення перемикачів можуть призвести до втрати інформації в ланцюгах комутованого конденсатора (sw-cap).

## 3. Відповідність.

Відповідно до джерела [20], для параметра  $P$ , що представляє (наприклад, порогову напругу або провідність), дисперсію (тобто потужність) різниці  $\Delta P$  між двома пристроями можна описати як:

$$\sigma_{\Delta P}^2 = \frac{A_p^2}{WL} \quad (1.1)$$

Де  $A_p$  – коефіцієнт узгодження, пов'язаний з процесом,  $\sigma_{\Delta P}$  – стандартне відхилення параметра  $P$  та  $W, L$  - це відповідно ширина та довжина пристроїв. По мірі масштабування процесів транзистори та пасивні пристрої мають кращі властивості узгодження при обмеженні фіксованої площі, що може поліпшити лінійність АЦП у випадку, якщо вона обмежена відповідністю між пристроями.

## 4. Власна швидкість.

Максимальна частота відсікання транзисторів залежить від швидкості насичення носіїв заряду та ефективної довжини каналу [41]. Отже, із масштабуванням ефективної довжини каналу буде покращено максимальну частоту відсікання. Для досягнення кращого узгодження та більш високого

вихідного електричного імпедансу, ефективну довжину каналу потрібно збільшувати з компромісом швидкості.

### 5. Цифрова енергоефективність.

Для наномасштабного КМОН цифрові схеми можуть досягти вищої енергоефективності. Споживана потужність цифрових схем може бути виражена як  $P_{dig} = \alpha C_L V_{DD}^2 fCLK$ , де  $\alpha$  – ймовірність комутації,  $C_L$  – загальний конденсатор навантаження,  $V_{DD}$  – напруга живлення, а  $fCLK$  – тактова частота. Завдяки масштабуванню транзисторів  $C_L$  та  $V_{DD}$  можуть бути зменшені. Отже, споживання енергії для тієї ж реалізації буде зменшено. Поліпшення цифрової енергоефективності також є однією з основних причин просування транзисторного масштабування.

## 1.3 Техніка впровадження АЦЦ Delta-Sigma з низьким рівнем потужності в наномасштабній КМОН

$\Delta\Sigma$  модулятори, орієнтуючись на високу швидкість, вважають краще використовувати СТ топології, в той час як  $\Delta\Sigma$  модулятори, орієнтуючись на високу роздільну здатність, спрямовані на топології дискретного часу (DT), оскільки вони покладаються на відповідні вдалі властивості пасивних пристроїв.

Для модуляторів  $\Delta\Sigma$  можна досягти високої роздільної здатності, застосувавши топології високого порядку, високий коефіцієнт корисної частоти та багатоступеневу топологію формування шуму (MASH).

У наномасштабному КМОН через труднощі з реалізацією операційних підсилювачів та відносно високе енергоспоживання багатоступневих підсилювачів були введені різні методи для зменшення кількості та енергоспоживання операційних підсилювачів в  $\Delta\Sigma$  АЦЦ. Вони включають техніку:

- комутованих операційних підсилювачів,
- техніку спільного використання підсилювачів,
- техніку заміни операційних підсилювачів,
- інтегратори на основі регулятора напруги (VCO) та пасивні інтегратори.

Таким чином, дані техніки зменшують енергоспоживання.

Комутована техніка операційного підсилювача.

Операційні підсилювачі всередині інтеграторів працюють лише під час відповідної фази інтеграції, в той час як вони просто споживають статичну потужність. Натомість операційні підсилювачі можуть бути відключені під час інших фаз, для того щоб зменшити споживання енергії.

Це можна зробити, зарядивши конденсатор для відбору проб на наступному етапі та інтегрувавши його протягом тієї ж фази [7, 21, 40, 41]. Однак час спрацьовування комутованих операційних підсилювачів зменшує доступний час встановлення сигналу, а отже, збільшує вимогу до смуги пропускання [7].

Техніка спільного використання операційних підсилювачів.

Техніка спільного використання операційних підсилювачів може ділити операційні підсилювачі між складовими інтеграторами та суматорами під час різних фаз усередині модулятора  $\Delta\Sigma$ . Тому його можна використовувати для підвищення енергоефективності системи [7, 42, 44, 46, 47]. Однак окремий підсилювач у роботі надмірно обмежений специфікаціями шуму та врегулювання інтегратора 1-го ступеня, які є досить непотрібними для наступних двох етапів [47].

Для належного розподілу операційних підсилювачів між різними каскадами також слід використовувати складну логіку управління синхронізацією. Крім того, через віртуальний наземний вузол спільних операційних підсилювачів система страждає від ефекту пам'яті спільних операційних підсилювачів, що погіршить продуктивність системи.

Техніка заміни операційного підсилювача.

Техніка заміни операційного підсилювача намагається замінити операційні підсилювачі альтернативними блоками, такими як детектори перетину нуля [9, 38], динамічні компаратори [17, 64], інвертори [11, 30, 72], та кільцеві підсилювачі [36, 50].  $\Delta\Sigma$  модулятори з детекторами, що перетинають нуль, можуть навряд чи досягти високої роздільної здатності через перевищення напруги, що спричинене затримками від переходу нуля до стабільного результату виявлення. В той час як точність модуляторів  $\Delta\Sigma$ , що використовують інтегратори на основі динамічних

компараторів та інверторів, в основному погіршується через їх обмежений коефіцієнт посилення постійного струму та зміщення, яке передається на вхід.

Для кільцевих підсилювачів вони страждають від мертвої зони, а також поганої стабільності. Більше того, через їх нелінійну природу та кілька діючих областей, досить складно розробити стабільний кільцевий підсилювач.

Інтегратори на основі регулятора напруги (VCO) та пасивні інтегратори.

Альтернативний метод полягає у використанні інтегратора на основі VCO для заміни звичайних інтеграторів, що потребують високопродуктивних операційних підсилювачів [2, 5, 60, 69, 70]. Однак, коли вводяться великі сигнали, лінійність генератора погіршується, що вимагає калібрування та в іншому випадку обмежує точність АЦП.

Пасивні інтегратори.

Привабливою альтернативою активним інтеграторам, які незмінно використовують енергоємні операційні підсилювачі, є «пасивні інтегратори».

Реалізація КТ використовує петльовий фільтр із міжступневими підсилювачами з низьким коефіцієнтом підсилення та пасивними інтеграторами, виготовленими лише з резисторів та конденсаторів [39]. Інша реалізація КТ використовує топологію MASH для отримання форми вищого порядку шумуЮ також використовуючи пасивні інтегратори та міжступеневі підсилювачі з низьким коефіцієнтом підсилення [37].

Однак через надмірну заповненість площі ця архітектура не підходить для смуг пропускання нижче 1 МГц. Реалізація sw-cap також використовує міжступеневі підсилювачі з низьким коефіцієнтом підсилення з відкритим циклом [18]. Крім того, він застосовує метод нульової компенсації NTF та додає позитивний зворотний зв'язок пасивним інтеграторам для переміщення полюсів інтеграторів ближче до постійного струму [19]. Посилення постійного струму та пропускну здатність підсилювачів з низьким коефіцієнтом підсилення в інтеграторах впливатимуть на продуктивність та стабільність системи.

Модулятори sw-cap  $\Delta\Sigma$  вбудовують повністю пасивний фільтр низьких частот (ФНЧ) [8, 9, 10, 68]. Топології демонструють чутливість до паразитної

ємності на вході компаратора з точки зору шумових характеристик та стабільності контуру [43, 44]. Виходячи з обговорення вище, можна зазначити, що пасивний інтегратор є привабливою технікою порівняно з активним інтегратором у технології глибоких нанометрів КМОН, тому його можна використовувати для реалізації пасивних модуляторів  $\Delta\Sigma$  для малопотужних програм.

#### 1.4 АЦП для стиснених зондуючих програм

Більшість сигналів, що сприймаються в природі, демонструють розрідженість у деяких сферах, наприклад біосигнали, які включають тривалі періоди вмісту з низьким рівнем скорочення та короткі періоди інформації з високим рівнем скорочення.

Стиснене зондування – це техніка обробки сигналів, для того щоб скористатись розрідженістю сигналу з метою ефективного зменшення необхідної кількості відліків сигналів, зменшуючи тим самим енергоспоживання передачі та обробки даних, які традиційно домінують над енергоспоживанням пристроїв IoT [48]. Існують різні методи для досягнення стисненого зондування, які можуть бути застосовані відповідно до різних частин вузлів датчика, включаючи аналоговий інтерфейс АЦП та ЦСП, як показано на рис. 1. 1.

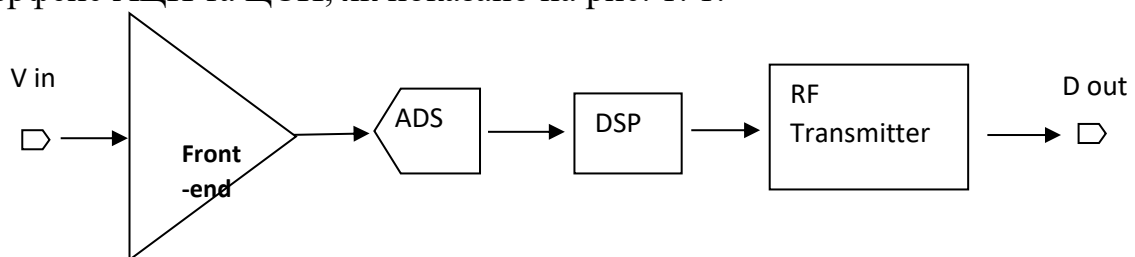


Рис. 1.1. Звичайний вузол датчика.

Стиснене зондування, досягнуте в аналоговому інтерфейсі.

Ця методика застосовує алгоритм стисненого зондування до аналогових інтерфейсових схем, а потім АЦП із швидкістю суб-Найквіста оцифровують дані, отримані із стисненням [15, 25]. Однак складне обладнання в інтерфейсі, включаючи конвеєрний програмований комутаційних конденсатор із програмованим перетворювачем-конденсатором, що множить ЦАП/інтегратори

та АЦП з низькою швидкістю Найквіста. Це також призводить до складного та енергоємного відновлення сигналу на стороні приймача.

Стиснене зондування, досягнуте в АЦП.

Адаптивно-найквістичні та адаптивні передискретизаційні АЦП були використані для отримання біопотенціалу, які застосовують адаптивний механізм дискретизації шляхом регулювання частоти дискретизації АЦП на основі швидкості наростання вхідних сигналів [51]. Однак регулювання знаходиться між двома частотами, тим самим обмежуючи ефективність зниження середньої частоти дискретизації.

Стиснене зондування, досягнуте в ЦСП.

Альтернативний метод застосовує алгоритм стисненого зондування до наступного ЦСП після того, як АЦП дискретизації Найквіста перетворює сприйнятий сигнал у цифровий домен, щоб стиснути цифрові виходи перед передачею [52-54]. Для цієї архітектури слід застосовувати відповідний алгоритм відновлення сигналу на стороні приймача. Хоча АЦП Найквіста, такі як АЦП з послідовно-наближеним реєстром (SAR) можуть досягати кращої ефективності, також слід враховувати енергоспоживання відповідного алгоритму стисненого зондування, реалізованого наступним ЦСП.

Вибірка, що перетинає рівень (LCS) є привабливою альтернативою вищезазначеним методам [12, 13, 32, 39 55]. У цьому випадку вхідний сигнал відбирається та перетворюється лише тоді, коли він перетинає певні порогові рівні [59]. Отже, середня частота дискретизації АЦП LC залежить від сигналу, що на відміну від рівномірного АЦП вибірки. АЦП LC мають дві загальні топології: на основі дельта-модулятора та на основі спалаху (відповідно показано на рис. 1.2a та 1.2b) [67-72]. Як правило, вони застосовують високоефективні компаратори КТ як порогові детектори, роздільна здатність порогового рівня та коливання затримки поширення обмежують їх точність [73].

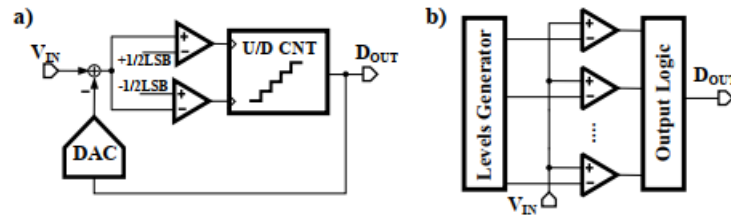


Рис. 1.2. Звичайні АЦП на основі дельта-модулятора (а) та спалаху (b)

## Висновок до розділу 1

Відповідно до всіх визначень, можна зробити висновок, що при масштабуванні транзисторів напруга живлення одразу зменшиться, а порогова напруга зменшиться відносно повільніше. Власний коефіцієнт підсилення та витік затвора також погіршуються.

Отже, труднощі з реалізацією високопродуктивних операційних підсилювачів збільшуються. Для застосувань з низьким енергоспоживанням потрібно використовувати топології АЦП, які не використовують багатоступеневі енергоємні операційні підсилювачі. Крім того, для наномасштабного КМОН покращуються відповідні властивості, швидкість та цифрова енергоефективність, що робить його придатним для пасивних та цифрових конструкцій. Отже, нові пасивні та цифрові інтенсивні АЦП топології повинні бути введені для того, щоб зменшити споживання енергії, як це необхідно для глибоких наномасштабних КМОН.

Можна зазначити, що пасивний інтегратор є привабливою технікою порівняно з активним інтегратором у технології глибоких нанометрів КМОН, тому його можна використовувати для реалізації пасивних модуляторів  $\Delta\Sigma$  для малопотужних програм.

Стиснене зондування – це техніка обробки сигналів, для того щоб скористатись розрідженістю сигналу з метою ефективного зменшення необхідної кількості відліків сигналів, зменшуючи тим самим енергоспоживання передачі та обробки даних, які традиційно домінують над енергоспоживанням пристроїв IoT. Існують різні методи для досягнення стисненого зондування, які можуть бути

застосовані відповідно до різних частин вузлів датчика, включаючи аналоговий інтерфейс АЦП та ЦСП.

Адаптивно-найквістичні та адаптивні передискретизаційні АЦП були використані для отримання біопотенціалу, які застосовують адаптивний механізм дискретизації шляхом регулювання частоти дискретизації АЦП на основі швидкості наростання вхідних сигналів.

Альтернативний метод застосовує алгоритм стисненого зондування до наступного ЦСП після того, як АЦП дискретизації Найквіста перетворює сприйнятий сигнал у цифровий домен, щоб стиснути цифрові виходи перед передачею.

Отже, середня частота дискретизації АЦП LC залежить від сигналу, що на відміну від рівномірного АЦП вибірки. АЦП LC мають дві загальні топології: на основі дельта-модулятора та на основі спалаху.

## Розділ 2.

### Модулятор Delta-Sigma з пасивним комутованим конденсатором, його властивості та призначення

#### 2.1 Модулятор Delta-Sigma з пасивним комутованим конденсатором на основі «конвеєрного» обертання з розподілом заряду в 29-м КМОН

Представлений модулятор  $\Delta\Sigma$  з ковпачком, заснований на принципі обертання зарядом. Це дозволяє заряджати інтегруючі конденсатори наступних каскадів тим самим конденсатором вибірки, але не впливаючи на попередню ступінь інтегратора.

Це дає змогу уникнути ефектів міжступеневого навантаження, таким чином, в кінцевому підсумку покращуючи ефективність формування квантування-шуму. Для покращення стійкості модулятора та еквівалентного коефіцієнта посилення компаратора (тобто співвідношення між вихідними та середньоквадратичними значеннями компаратора) додається ступінь занулення та додатковий незалежний шлях зворотнього зв'язку. Ці дії покращують ослаблення шуму в діапазоні квантування.

Для того, щоб забезпечити можливість роботи при високому коефіцієнті передискретизації (OSR), пом'якшуючи вимогу до встановлення та максимізуючи енергоефективність, використовується метод «конвеєрної розробки». Він досягає вимірюваного відношення сигнал/шум і спотворення (SNDR) 81,1 дБ і вимірюваного DR 83.6 дБ з пропускнуою здатністю сигналу 80 кГц при 40,96 мс/с, споживаючи 101,5 мкВт.

У всіх опублікованих модуляторах sw-cap  $\Delta\Sigma$  з пасивними ФНЧ конденсатор дискретизації наступного каскаду інтегратора заряджається інтегруючим конденсатором попереднього етапу [56–58]. Це називається міжступеневим навантаженням та має згубний вплив зсуву полюса петлевого фільтра на більш високу частоту і призводить до внутрішнього зворотнього зв'язку між каскадами, що погіршує ефективність формування шуму.

Через значне ослаблення в пасивному модуляторі  $\Delta\Sigma$  порядок роботи пасивних контурних фільтрів, як правило, обмежується двома та задовільним відношенням сигнал/ квантування / шум (SQNR), можна досягти лише за допомогою досить високої потужності, що накладає ще більш жорсткі вимоги до встановлення фільтра. Для модулятора  $\Delta\Sigma$  вищого порядку з пасивними інтеграторами міжступеневі підсилювачі з відкритим контуром є вдалим кандидатами для послаблення сигналу згасання [39, 41].

Більш того, техніка підвищення коефіцієнта підсилення sw-сар, може бути використана для отримання коефіцієнта підсилення напруги низької частоти за допомогою правильної зміни способу підключення конденсаторів дискретизації (тобто паралельно або послідовно) під час різних фаз експлуатації. Однак це погіршить ефект міжступеневого навантаження.

## 2.2 Системний аналіз $\Delta\Sigma$ модулятора

Структурна схема одноконтурного модулятора  $\Delta\Sigma$  наведена на рис. 2.1. Він складається з циклічного фільтра, квантора з кроком квантування  $\Delta$  та ЦАП зворотного зв'язку. Модулятори  $\Delta\Sigma$  досягають високої роздільної здатності завдяки застосуванню методів передискретизації та формування шуму. Помилка квантування, породжена квантовачем, можна вважати рівномірно розподіленою між  $-\frac{\Delta}{2}$  та  $\frac{\Delta}{2}$ , а отже потужність похибки квантування є  $e_q^2 = \frac{\Delta^2}{12}$ . У частотній області помилка квантування може трактуватися як білий шум, який порівну розподіляється по смузі частот дискретизації. Виходячи з цього припущення, можна отримати двосторонню спектральну щільність потужності шуму квантування  $S_{eq}$ , де  $f_S$  – частота дискретизації.

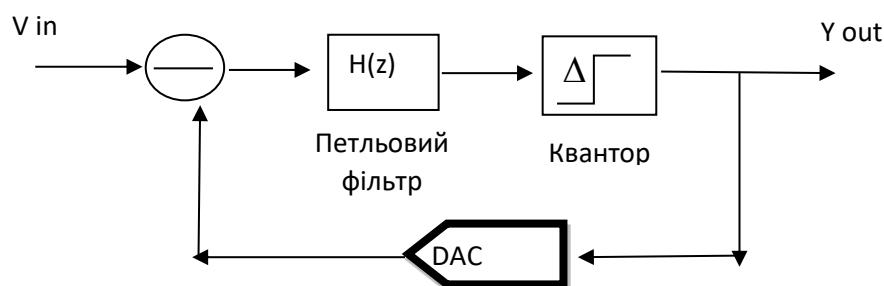


Рис. 2.1. Структурна схема модулятора  $\Delta\Sigma$ 

$$S_{eq} = \frac{\Delta^2}{12 \cdot f_s} \quad (2.1)$$

Техніка передискретизації передбачає дискретизацію сигналів з частотою дискретизації  $f_s$ , яка перевищує частоту дискретизації Найквіста (тобто в два рази більше смуги пропускання сигналу  $f_B$ ).

Отже,  $OSR$  можна виразити як  $OSR = \frac{f_s}{2f_B}$ . Техніка передискретизації має дві основні переваги. Це пом'якшує вимоги до скачування на фронтальному фільтрі згладжування. Більше того, він розподіляє потужність шуму квантування в ширшому діапазоні частот дискретизації та зменшує внутрішньосмуговий шум квантування до  $\frac{\Delta^2}{12 \cdot OSR}$ , таким чином покращуючи відношення сигнал/ шум (SNR).

З блок-схеми, що зображена на рис. 2.1 функція передачі сигналу (STF) і функція передачі шуму квантування (NTF) можуть бути виражені як:

$$STF(z) = \frac{H(z)}{1 + H(z)} \quad (2.2)$$

$$NTF(z) = \frac{H(z)}{1 + H(z)} \quad (2.3)$$

Де  $H(z)$  – передавальна функція петлевого фільтра. Дані рівняння (2.2) та (2.3) показують, що сигнал та шум квантування мають різні функції передачі. Ретельно розробляючи контурний фільтр  $H(z)$ , на вхідний сигнал можна трохи впливати, тоді як шум квантування може фільтруватися через високі частоти, що може додатково послабити внутрішньополосний шум квантування і, отже, підвищити точність системи.

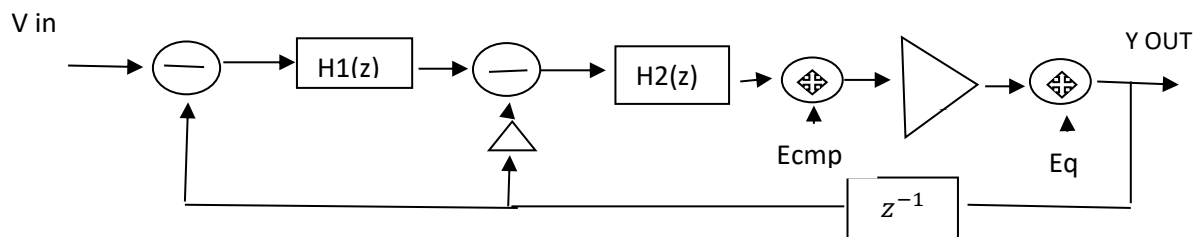


Рис. 2.2. Лінійна модель модулятора  $\Delta\Sigma$  другого порядку CIFB

### 2.3. Активні модулятори Delta Sigma з активним комутованим конденсатором другого порядку

Лінійна модель звичайного модулятора низьких частот у формі зворотного каскаду інтеграторів (CIFB), що включає ФНЧ, реалізований з використання двох інтеграторів та компаратора з еквівалентним коефіцієнтом підсилення  $G$  і поводитья як 1-бітний квантор. Це показано в рис. 2.2.

Оскільки, ця система зворотного зв'язку із замкнутим циклом має два полюси, вона умовно стабільна залежно від коефіцієнта посилення  $H_{1,2}(z)$ , параметра шляху зворотного зв'язку  $\beta$  та амплітуди вхідного сигналу. STF та NTF можуть бути виражені як:

$$STF(z) = \frac{H_1 H_2 G}{1 + H_1 H_2 G z^{-1} + \beta H_2 G z^{-1}} \quad (2.4)$$

$$NTF(z) = \frac{H_1 H_2 G}{1 + H_1 H_2 G z^{-1} + \beta H_2 G z^{-1}} \quad (2.5)$$

Де  $\beta$  – коефіцієнт зворотного зв'язку з виходу модулятора на 2 ступінь. Функція передачі кожного інтегратора, присутнього в циклі, може бути виражена як:

$$H_{1,2}(z) = \frac{k \cdot z^{-1}}{1 - \alpha * z^{-1}} \quad (2.6)$$

Де  $K$  – коефіцієнт посилення, тоді як  $\alpha$  – полюс інтегратора. Для активних інтеграторів термін  $K$  головним чином залежить від співвідношення між конденсатором вибірки  $CS1$  та інтегруючим конденсатором  $CH1$  навколо

операційного підсилювача, тоді як він включає всі неідеальні можливості інтегратора, такі як обмежений коефіцієнт підсилення та пропускну здатність використовуваного операційного підсилювача, а також паразитний конденсатор  $C_P$  навколо входу операційного підсилювача. Коефіцієнт  $\alpha$  теоретично знаходиться в точці постійного струму ( $z = 1$ ). Однак на це також впливає обмежений коефіцієнт посилення постійного струму операційного підсилювача та паразитні конденсатори.

Якщо враховувати лише паразитний конденсатор  $C_P$  і обмежений коефіцієнт посилення постійного струму, коефіцієнт посилення  $K$  може бути виражений як

$$K = \frac{C_{S1}}{C_{H1}} \cdot \frac{1+G_A+C_P/C_{H1}}{1+G_A+C_{S1}|C_{H1}+C_P|C_{H1}}, \text{ тоді як } \alpha \text{ можна виразити як}$$

$$\alpha = \frac{G_A}{1+G_A+C_{S1}/C_{H1}+C_P/C_{H1}}, \text{ де } G_A \text{ – коефіцієнт підсилення з відкритим}$$

контуром використовуваного підсилювача. Поліус у лінійній частотній області можна отримати:

(2.7)

$$f_{-3\text{ dB}} \approx \frac{f_s}{2\pi} \cdot \left( \frac{C_{S1}/C_{H1}}{1+G_A + \frac{C_S}{C_{H1}} + C_P/C_{H1}} \right)$$

Отже, коефіцієнт підсилення використовуваного операційного підсилювача повинен бути достатньо великим, щоб розмістити поліус всередині смуги пропускання сигналу. Однак відомо, що важко реалізувати операційні підсилювачі з високим коефіцієнтом посилення через низький власний коефіцієнт посилення та знижену напругу живлення вдосконаленої КМОН, тому каскадна структура повинна бути засвоєна. На жаль, йде більше споживання енергії, що потребує більше компенсації частоти.

#### **2.4. Модулятори Delta Sigma з пасивним імпульсним конденсатором другого порядку**

Пасивний інтегратор дозволяє видалити з системи високоефективні операційні підсилювачі, що сприяє зменшенню енергоспоживання модулятора

[43]. Пасивні інтегратори вбудовують лише конденсатори та перемикачі КМОН, тому підходять до глибоких наномасштабних процесів КМОН.

Оскільки, пасивний інтегратор заснований на техніці розподілу заряду, паразитна ємність у вузлах між відбірним конденсатором CS1 та утримуючим конденсатором CH1 (Nt та VOUT1) може дещо вплинути на передавальну функцію. Враховуючи, що дію цих паразитів на вузол VOUT1 можна трактувати як варіацію CH1, що єдиним значущим паразитом є конденсатор CP у вузлі Nt. Отже, при CP>0 передавальна функція пасивного інтегратора виглядає наступним чином [47]:

$$H_1(z) = \frac{1}{\gamma + \rho + 1} \cdot z^{-1} \cdot \frac{1}{1 - \frac{r}{r + \rho + 1} \cdot z^{-1}} \quad (2.8)$$

Де коефіцієнт конденсатора інтегратора  $\gamma = CH1/CS1$ ,  $\rho = CP/CS1$  і коефіцієнт підсилення інтегратора K представлений терміном  $\frac{1}{\gamma + \rho + 1}$ , тоді як реальний полюс  $z = e^{-2\pi f - 3 dB / fs}$  знаходиться  $\frac{1}{\gamma + \rho + 1}$  в z - площині.

Це вказує на те, що ненульовий коефіцієнт  $\rho$  призводить як до незначних втрат посилення, так і до зсуву полюса трохи в сторону від постійного струму. Полюс у лінійній частотній області можна отримати:

$$f_{-3 dB} \approx \frac{fs}{2\pi} \cdot \left( \frac{1}{\gamma + \rho + 1} \right) \quad (2.9)$$

Де fs – частота дискретизації. Для досягнення достатнього ослаблення внутрішньосмугового шуму квантування та кращого компромісу з OSR у режимі високої роздільної здатності,  $f - 3dB$  слід розташовувати в смузі, а отже  $f_{-3 dB} \leq \frac{fs}{20SR}$  та  $\frac{1}{\gamma + 1} \leq \frac{\pi}{osR}$ . Наприклад, для OSR 256 значення має бути  $> 80$ .

Для активних модуляторів  $\Delta\Sigma$  важливим компромісом є різниця між продуктивністю (наприклад SNR) та динамікою циклу (наприклад рівнем перенавантаження OL). Хоча, великі параметри циклу K та коефіцієнт зворотного

зв'язку  $\beta$  дозволяють системі посилити свій SNR, вони призводять до більшого ризику нестабільності та погіршують OL, тобто нормалізовану вхідну амплітуду, коли SNR зменшується на 3 дБ від свого піку.

Для пасивних  $\Delta\Sigma$  модуляторів, навпаки,  $K = 1$ , щоб переміщати полюс інтегратора в діапазон, забезпечуючи таким чином ослаблення шуму квантування в діапазоні.

Дійсно, в пасивних  $\Delta\Sigma$  модуляторах коефіцієнт підсилення петлі «накладається» всередині компаратора (тобто коефіцієнт посилення контуру постійного струму забезпечується компаратором), що призводить до невеликого коливання сигналу напруги всередині петлевого фільтра, таким чином забезпечуючи можливість системи досягти більш високого значення OL, яке може бути більше за 1, а також мати кращу лінійність.

Однак відсутність коефіцієнта посилення в циклічному фільтрі призводить до того, що система стає більш вразливою до шумового зв'язку та струму стоку вимикачів КМОН-перемикачів.

Запропонований пасивний Delta Sigma модулятор другого порядку.

Спрощена схема запропонованого модулятора  $\Delta\Sigma$  другого порядку на основі обертання із розподілом заряду представлена на рис.2.3. Він містить фільтр низької частоти нескінченного імпульсного відгуку (PIR) другого порядку (PIR2), 1-бітові ЦАП зворотного зв'язку та компаратор.

Сам фільтр PIR2 був натхненний схемою обертання з розподілом заряду та зображений на рис.2.3 [53, 54]. Це повністю пасивна топологія, яка уникає експлуатаційних або будь-яких активних підсилювачів і використовує лише конденсатори та перемикачі КМОН. Це цілеспрямовано запобігає будь-які міжетапні ефекти навантаження.

Протягом  $\Phi 1$ , VIN відбирається на конденсаторі CS, а потім протягом  $\Phi 2$  верхня пластина CS з'єднується з верхньою пластиною CH1, викликаючи розподіл заряду між CS і CH1. Тому в кінці  $\Phi 2$  CS і CH1 зберігають однакову інформацію про напругу. Отже, замість того, щоб використовувати CH1 для зарядки CS2, а

потім приймати  $CS_2$  для зарядки  $CH_2$ .  $PR_2$  використовує  $CS$  для безпосередньої зарядки  $CH_2$ .

Коли стверджується  $\Phi_3$ ,  $CS$  підключається до верхньої пластини  $CH_2$ , за допомогою якої інформація про напругу, що зберігається в  $CS$ , ідентична інформації про напругу, що зберігається в  $CH_1$ , в кінці  $\Phi_2$ , переходить до  $CH_2$  без втрат заряду в  $CH_1$ . На відміну від каскадних пасивних інтеграторів  $sw$ - $cap$ , каскадні пасивні інтегратори в  $PR_2$  мають спільний конденсатор вибірки  $CS$  між каскадами.

З цієї причини  $PR_2$  не виявляє ніяких ефектів міжступеневого навантаження, незважаючи на те, що використовуються два каскадні пасивні інтегратори.

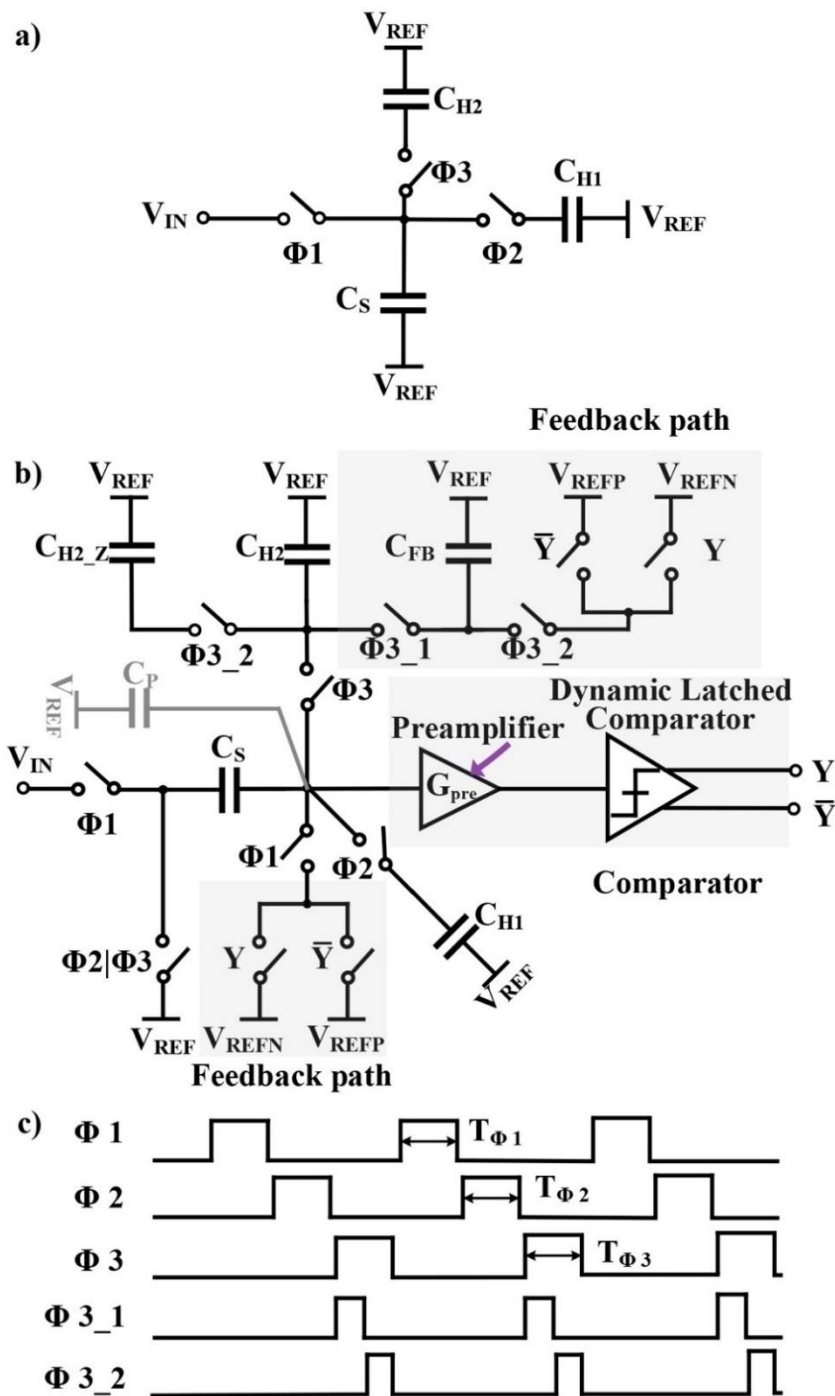


Рис. 2.3 Фільтр ІІР2 на основі обертання з розподілом заряду (а). Запропонований пасивний модулятор  $\Delta\Sigma$  другого порядку (b) та його тимчасова діаграма (c).

На запропонованому рівні модулятора протягом  $\Phi 1$  різниця напруг між вхідним сигналом  $V_{IN}$  і 1-бітовим ЦАП зворотного зв'язку, керованим 1-бітовим виходом квантора,  $Y$  і  $\bar{Y}$ , відбирається на конденсаторі  $C_S$ .

Враховуючи, що коливання сигналу напруги на вході попереднього підсилювача є досить малим (від десятків до кількох сотень мкВ), заряд пам'яті

всередині КС наприкінці ФЗ\_1 є досить малим, щоб не впливати на осідання нового зразка. Протягом Ф2 інформація про заряд, що зберігається на CS і СН1, передається та оновлюється, що представляє дію пасивного інтегратора 1-го ступеня. ФЗ\_1 та ФЗ\_2 – це дві фази ФЗ, що не перекриваються. Протягом З\_1 верхні пластини CS, СН2 і конденсатор зворотного зв'язку CFB з'єднані між собою, щоб розділити свої заряди.

Це, у свою чергу, представляє дію інтегратора 2-го ступеня з додатковим незалежним шляхом зворотного зв'язку. Компаратор порівнює коливання напруги на вході попереднього підсилювача і генерує вихід системи  $Y/Y$  на нижньому фронті ФЗ\_1. Під час ФЗ\_2 верхні пластини СН2 і СН2\_Z з'єднані між собою. Це додає нуль до передавальної функції інтегратора 2-го ступеня, що сприяє стабільності. Для того, щоб мінімізувати вхідний шум і максимізувати коефіцієнт посилення компаратора, перед звичайним компактним динамічним фіксатором використовується каскад попереднього підсилювача.

Враховуючи паразитичний конденсатор CP на вузлі з'єднання між конденсатором CS вибірки та конденсатором утримання, передавальна функція інтегратора 1-го ступеня  $H_1(z)$  ідентична (2.8), тоді як передавальна функція інтегратора 2-го ступеня  $H_2(z)$  може бути виражена як:

(2.10)

$$H_2(z) = \frac{[1 - (1 - \zeta)z^{-1}] \cdot \frac{\rho}{\gamma + \rho + 1 + \beta} z^{-1}}{1 - \left(1 - \zeta \frac{1 + \rho + \beta}{\gamma + \rho + 1 + \beta}\right) z^{-1}}$$

Де  $\gamma - CH2/CS$ ,  $\beta - CFB/CS$ ,  $\rho - CP/CS$ , а  $\zeta - CH2 / (CH2 + CH2\_Z)$ , що впливає на положення нуля передавальної функції. Термін  $\zeta \frac{1 + \rho + \beta}{\gamma + \rho + 1 + \beta}$  в знаменнику можна розглядати як показник того, наскільки віддалений полюс від одиничного кола ( $z=1$ ). Розташування полюса, таким чином, визначається  $\gamma$ ,  $\beta$ ,  $\rho$  та  $\zeta$ . Зменшуючи  $\zeta$ , полюс можна перемістити ближче до одиничного кола.

Оскільки модулятор  $\Delta\Sigma$  є нелінійною системою, коефіцієнт посилення компаратора G можна лише за допомогою моделювання запропонованого

модулятора  $G_{est} = \frac{1}{H_1(-1)H_2(-1)}$ .  $G_{est}$  може досягати високого значення за допомогою збільшення  $\gamma$ .

## 2.5. Оптимізація параметрів дельта-модулятора

Для досягнення цільової точності в 13 біт за смуги пропускання 80 кГц та припускаючи модулятор  $\Delta\Sigma$  другого порядку, мінімальний OSR становить 128. Для того, щоб забезпечити достатній запас від потенційних невідповідностей, таких як шум та струми витoku, було прийнято OSR 256. Для більш сильного ослаблення внутрішньосмугового шуму квантування нулі NTF повинні знаходитися в межах смуги пропускання сигналу. З припущенням, що  $CH1 = CH2$ ,  $\gamma$  ( $CH1,2/CS$ ) повинен бути більше 80 при OSR 256.

Конденсатор  $CH2\_Z$  зміщує полюс інтегратора 2-го ступеня в напрямку постійного струму і додатково додає нуль до системи, покращуючи стабільність. Якщо  $\zeta$  встановлено на  $\frac{1}{2}$ , а  $\rho$  встановлено на 0, похибка полюса  $\zeta \frac{1+p^++\beta}{\gamma+\rho+1+\beta}$  зменшиться наполовину, збільшуючи таким чином SNR АЦП. Варто відзначити компроміс між  $\zeta$  і площею модулятора, тобто зниження  $\zeta = CH2 / (CH2 + CH2\_Z)$  практично здійснюється шляхом значного збільшення  $CH2\_Z$ .

Завдяки введеному конденсатору CFB може бути реалізований один додатковий шлях зворотного зв'язку з коефіцієнтом зворотного зв'язку  $\beta$  ( $CFB/CS$ ). Якщо  $\beta$  дуже малий, здатність системи послаблювати шум зменшується, оскільки полюси NTF наближається до смуги пропускання сигналу.

З іншого боку, при достатньо великому  $\beta$  поведінка АЦП буде нагадувати роботу модулятора  $\Delta\Sigma$  другого порядку, коли  $\beta$  все ще менше або порівняно зі значенням  $H1(z)$  на низьких частотах. Аналогічним чином, це буде нагадувати модулятор  $\Delta\Sigma$  першого порядку на високих частотах, коли  $\beta$  набагато більше значення  $H1(z)$ . Щоб встановити  $\beta$  на відповідне значення, таке, що запропонована система діє як система другого порядку, а полюси NTF розташовані навколо

$f_s/4$  для врахування стійкості,  $\beta$  має бути порівняним з  $H_1(0) = \frac{1}{\gamma}$ . При такому значенні коливання вихідного сигналу першого каскаду інтегратора було б порівняним із коливанням вихідного ЦАП 1-бітного зворотного зв'язку що, у свою чергу, зменшило б коливання вихідного сигналу інтегратора 2-го ступеня, і, отже, еквівалент  $G$  збільшився б, приводячи до вищої лінійності АЦП, навіть у повномасштабному режимі. Більш того, більший  $G$  дозволяє додатково послабити внутрішньосмуговий шум квантування.

Внутрішній шлях зворотного зв'язку, реалізований з СФВ, який використовується для досягнення більш високого  $G$  без прийняття більшого  $\gamma$  і зсуву полюсів модулятора в бік більш низьких частот, дозволяє послабити компроміс між потужністю шуму квантування в діапазоні і площі.

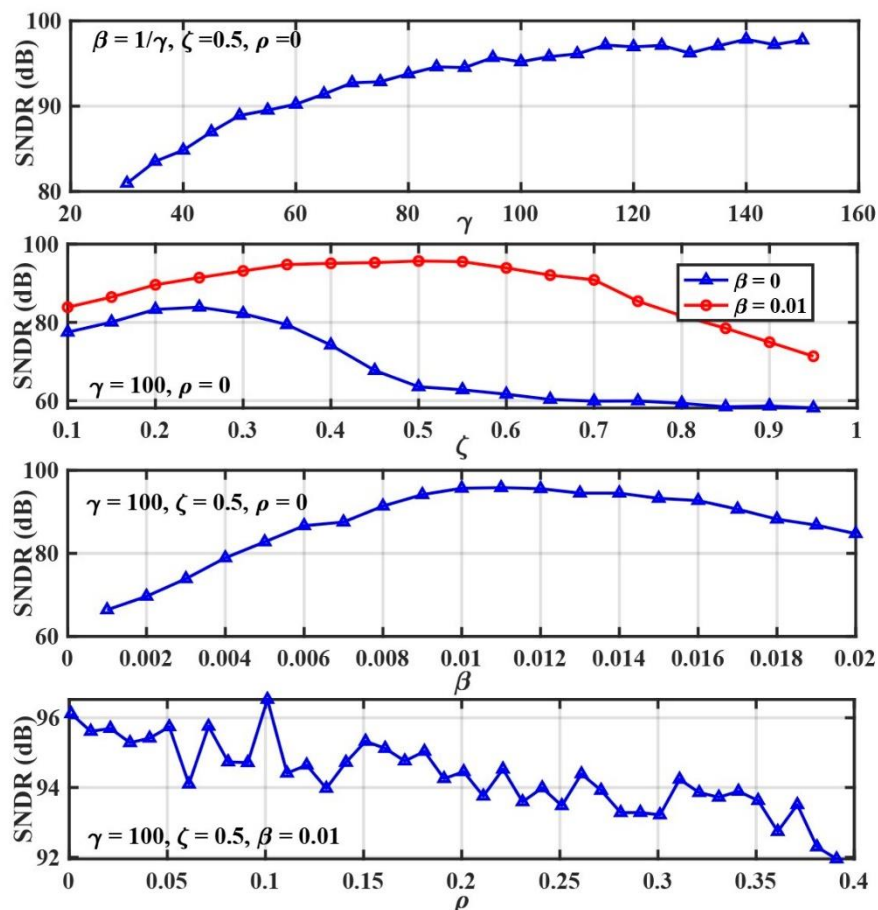


Рис.2.4. SNDR запропонованого АЦП, отриманий за допомогою моделювання, проти  $\gamma$ ,  $\zeta$ ,  $\beta$  та  $\rho$  при OSR 256.

Чутливість запропонованого модулятора до параметрів  $\gamma$ ,  $\zeta$ ,  $\beta$  та  $\rho$  можна вивчити за допомогою моделювань поведінкового моделювання, на що вказують

тенденції на графіках ADC SNDR (Рис.2.4). Припускаючи  $CH1=CH2$ ,  $\beta = \frac{1}{\gamma}$ ,  $\rho = 0$  та  $\zeta = 0,5$ . Із збільшенням  $\gamma$ , SNDR збільшується поступово. Це відбувається до тих пір, поки  $\gamma$  не досягне 100. Згодом SNDR залишається майже постійним близько 95 дБ, таким чином виправдовуючи вибір  $\gamma = 100$  у цій конструкції і, маючи на увазі  $\beta = 0,01$ . SNDR досягає свого максимуму при  $\zeta = 0,5$ .

Порівняно з системою, яка не має додаткового каскаду зворотного зв'язку ( $\beta = 0$ ), коефіцієнт шумовіддачі пропонованого модулятора значно вищий (до 35 дБ для  $B$  від 0,5 до 0,6). Через обмеження площини та фізичного розташування вибране значення для  $\zeta = 0,5$ , що означає, що  $CH2\_Z$  має дорівнювати  $CH2$ .

Моделювання поведінкового моделювання показує, що максимум SNDR відбувається при  $\beta = 0,01$ , і він швидко падає, коли  $\beta < 0,009$ , тоді як зменшується більш поступово для  $\beta > 0,015$ . Враховуючи дію паразитного конденсатора  $CP$ , SNDR погіршується лише на 3 дБ при  $\rho = 0,4$ .

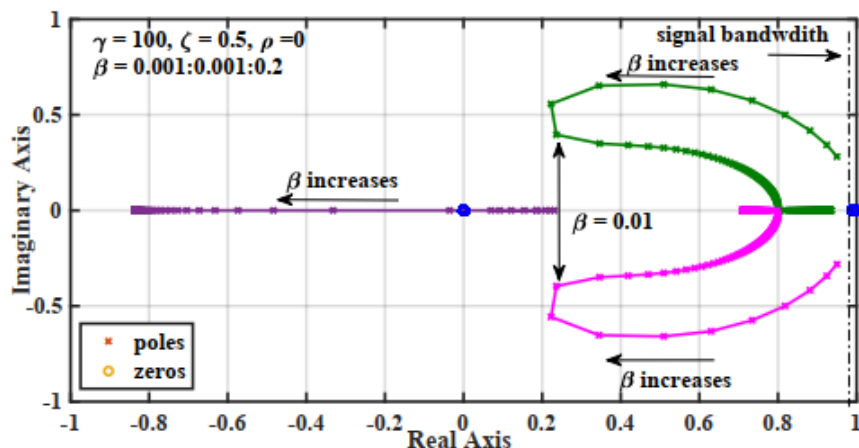


Рис. 2.5. Сузір'я нульового полюса NTF запропонованого АЦП при різних значеннях  $\beta$ .

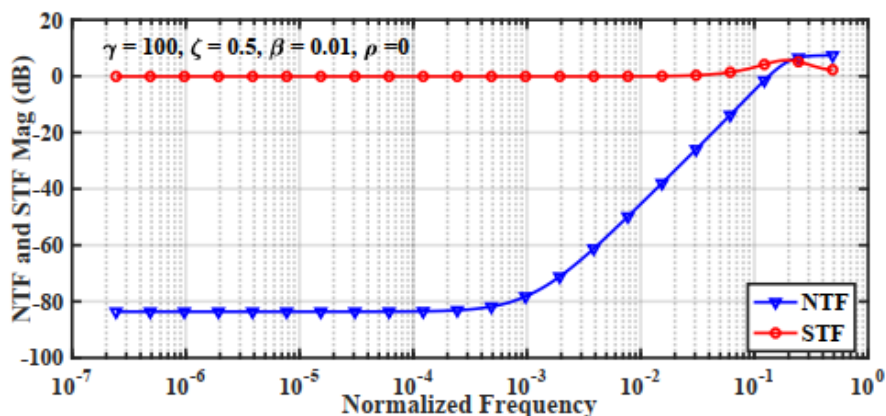


Рис. 2.6. Діаграми STF та NTF запропонованого модулятора ( $f_s = 40.96$  МГц).

Еквівалентний внутрішній коефіцієнт підсилення компаратора  $G$  можна отримати шляхом обчислення середньоквадратичного значення вхідної напруги компаратора, з якого можна отримати функції передачі сигналу та шуму. На рис. 2.5. показаний кореневий локус полюсів та нулів NTF при зміні  $\beta$ . Коли  $\beta$  збільшується, полюси зміщуються від смуги пропускання сигналу ( $0,9878$  в  $z$ -області, отриманої з  $z = e^{-2^N f - 3} dB / fs$ ) до  $\beta = 0,01$  тоді як при  $\beta = 0,2$  один полюс знаходиться навколо смуги пропускання сигналу, завдяки чому система поводить себе як модулятор першого порядку. Це підтверджує попереднє обговорення того, що для  $\beta$  потрібно встановити значення, порівнянне з  $\frac{1}{\gamma}$  для того, щоб гарантувати, що система працює як другий порядок і забезпечує кращу форму шуму. Завдяки поведінковому моделюванню, описані оптимізовані параметри конституції становлять  $\gamma = 100$ ,  $\beta = 0,01$  та  $\zeta = 0,5$ , оскільки вони мають призвести до SNDR 95 дБ, що забезпечує достатній запас для шуму та струму витоку.

Порівняно з  $\Delta\Sigma$  модулятором другого порядку, запропонований 1-бітовий модулятор дозволяє уникнути шкідливого міжступеневого ефекту навантаження, використовуючи обертання з розподілом заряду. Крім того, його оптимізують шляхом отримання оптимального вибору системи параметрів  $\gamma$ ,  $\zeta$ ,  $\beta$  та за допомогою поведінкового моделювання. Як наслідок, він може досягти показників SNDR, які можна порівняти до активних та гібридних топологій у повністю цифровій реалізації, і тому піддається наномасштабній технології. Для отриманого значення  $G$ , величини функцій передачі сигналу та шуму наведені на рис.2.6. NTF містить два нулі в межах смуги пропускання сигналу 80 кГц, близько 32 кГц і 64 кГц для частоти дискретизації 40,96 МГц. Досягнути ослаблення 84 дБ для внутрішньосмугового шуму квантування.

## 2.6. Впровадження схеми та «конвеєрний» фільтр низьких частот

Як показано на рис.2.3 для запропонованого пасивного ФНЧ потрібні три фази. Вихід модулятора оновлюється з вищим фронтом  $\Phi 3\_1$ . Отже, досягнення вищої OSR та кращого ослаблення шуму в діапазоні квантування вимагає вибору більш високої  $f_s$ , що, в свою чергу, скорочує тривалість робочих фаз модулятора, ставлячи тим самим більш жорсткі вимоги щодо часу встановлення негативно-експоненціальних перехідних процесів напруги.

Для того, щоб пом'якшити вимоги до часу встановлення для цільового OSR та роздільної здатності, запропонований модулятор використовує техніку «конвеєрної розробки» шляхом чергування чотирьох паралельних вхідних етапів вибірки. Часова діаграма керуючих сигналів показана на рис.2.7. Пасивні вихідні термінали ФНЧ, VH2N і VH2P, підключені до компаратора, реалізовані як каскад тактового попереднього підсилювача та динамічного фіксованого компаратора.

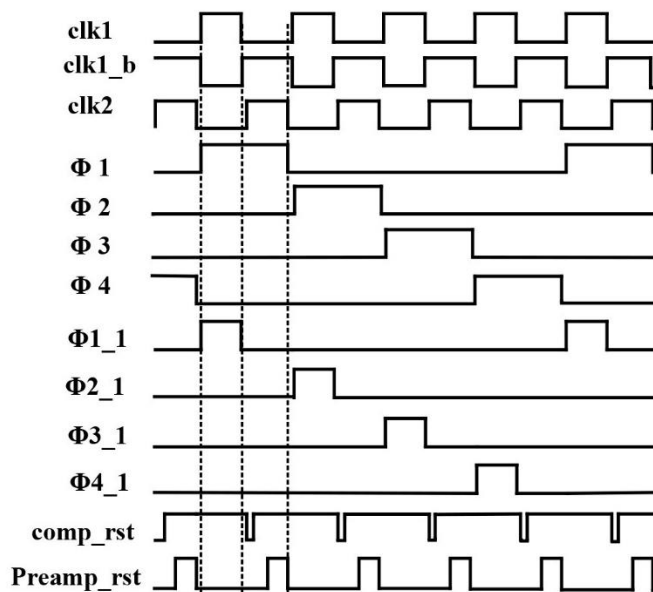


Рис.2.7. Часова діаграма запропонованого пасивного  $\Delta\Sigma$  модулятора.

«Конвеєрна техніка».

Враховуючи цільову OSR та пропускну здатність сигналу (80 кГц у цій конструкції), можна отримати частоту дискретизації  $f_s$ . Сигнали керування  $\Phi 1$ ,  $\Phi 2$ ,  $\Phi 3$  та  $\Phi 4$  є неперекриваючими тактовими частотами з частотою  $f_s / 4$ , тоді як  $clk1$  та  $clk2$  також є неперекриваючими годинниками, що працюють на  $f_s$ . Висхідні ребра  $\Phi_k$  ( $k=1,2,3,4$ ) синхронні з висхідними ребрами  $clk1$ .

Протягом  $\Phi 1$  конденсатор  $CS$ , що належить до стадії дискретизації, початкова фаза якої  $\Phi 1$ , відбирає різницю напруги між вхідним сигналом та 1-бітовим виходом ЦАП зворотного зв'язку, а потім він ділить свій заряд з конденсатором  $CH1$  під час фази  $\Phi 2$ , а також з  $CH2$  і  $CFB$  під час фази  $\Phi 3_1$ .

Подібним чином, конденсатор  $CS$  на сусідній стадії дискретизації, початкова фаза якої  $\Phi 2$ , також відбирає різницю напруги між вхідним сигналом та 1-бітовим виходом ЦАП зворотного зв'язку під час фази  $\Phi 2$ , потім він ділить свій заряд з  $CH1$  протягом  $\Phi 3$ , і з  $CH2$  і  $CFB$  протягом  $\Phi 4_1$ .

Зрештою, конденсатори  $CS$  на етапах відбору проб, початкові фази яких становлять  $\Phi 3$  та  $\Phi 4$ , виконують однакову послідовність операцій. Оскільки  $CH2$  і  $CH2_Z$  поділяються між різними фазами, операція розподілу заряду між ними контролюється  $clk2$ . Тому вихід модулятора оновлюється на кожній новій фазі, а не на кожній  $\Phi 3_1$ .

Вимикачі.

Нелінійний опір перемикачів не викликає проблем із запропонованою топологією, яка базується на перерозподілі заряду (теплова рівновага). До тих пір, поки опір перемикачів буде настільки низьким, щоб гарантувати повне осідання в межах часу (тобто низька похибка відстоювання), тоді нелінійність опору перемикачів не є практичним питанням. Крім того, коливання сигналу всередині петлевого фільтра знаходиться в невеликому діапазоні навколо загальнорежимної напруги, за винятком етапу дискретизації та 1-бітового ЦАП зворотного зв'язку, тому лінійність опорів вимикачів є достатньою. Враховуючи, що конденсатор відбору проб  $CS$  набагато менший, ніж конденсатор  $CH$  утримання, етап відбору проб може легко досягти відносно більш високої точності встановлення, що знімає важливість з приводу нелінійного опору перемикачів. Таким чином, немає необхідності застосовувати будь-які методи підвищення частоти для контролю значення опору та, отже, використовуються затвори передачі.

Невідповідність розгляду.

Вибіркові конденсатори  $CS$  реалізовані з використанням конденсаторів металооксид-метал (MOM) 200 fF, тоді як інтегруючий конденсатор  $CH1,2$

складається із 100 одиниць CS, що покращує відповідність. Засноване на 1000-прогодному моделюванні Монте-Карло, локальна невідповідність між CS дорівнює 0,05%. Щоб врахувати додатковий запас, для моделювань поведінкового моделювання враховано точність 0,1%, що показує стандартне відхилення SNDR 1,3 дБ для запропонованого модулятора. Будь-яке відхилення CFB від його номінального значення може розглядатися як варіація параметра  $\beta$  (номінально дорівнює 0,01), що можна допустити, якщо між 0,009 і 0,015, відповідно до рис.2.4, отже паразитний конденсатор, доданий до CFB, повинен бути ретельно розмірним на етапах схематичного проектування та проектування.

Конденсатор CFB реалізований у вигляді серії з 10 одиниць 17 fF, щоб зберегти локальну невідповідність приблизно 0,05%. Паразитна ємність на верхній пластині CFB знаходиться в діапазоні від 1,02 fF до 1,25 fF, як спостерігається при моделюванні PVT.

Отже,  $\beta$  можна контролювати приблизно від 0,0136 до 0,0148, таким чином забезпечуючи досить інваріантний SNDR, як показано на рис.2.4.

Зменшення витоків.

Через пасивну реалізацію, прийняту для «конвеєрного» контурного фільтра, коливання напруги сигналу всередині нього відносно низькі (наприклад, до 100 мкВ<sub>рм</sub> на вході попереднього підсилювача компаратора). Це робить топологію більш чутливою до струму комутаторів КМОН, який погіршується в наномасштабній КМОН. Однак такі малі коливання напруги дозволяють спростити конструкцію перемикачів у запропонованому ФНЧ, які є всіма затворами передачі, за винятком тих, що знаходяться в тракті зворотного зв'язку. Що стосується впливу струму витоків вимикачів КМОН-перемикачів, враховуючи той факт, що малі коливання напруги сигналу означають майже нульові падіння напруги на конденсаторах CH1 і CH2, вплив струму витоків більший, коли один термінал затворів передачі підключений до VREFP або VREFN (наприклад, майже половина подачі подається від VREF), тоді як він менший, коли підключений до VREF.

Отже, необхідний механізм зменшення витоків, щоб мінімізувати згубний вплив на роботу модулятора.

Тактовий підсилювач.

Компаратор складається з каскаду попереднього підсилювача, за яким слід динамічний фіксатор порівняння. Перший служить для пом'якшення зміщення та шуму (включаючи віддачу) останнього. Тому можна припустити, що вхідний шум  $E_{str}$  і зміщення в основному вносять попередні підсилювачі. Подібно до петлевого фільтра sw-сар та цифрової логіки, динамічний компактний компаратор споживає лише динамічну потужність, тоді як підсилювач є єдиним компонентом системи, який розсіює статичну потужність.

Спосіб підвищення його енергоефективності представлений використовуваною технікою «конвеєрної обробки», яка дозволяє працювати компаратору протягом кожної фази. Однак попередній підсилювач все ще перебуває в режимі очікування протягом половини кожної фази.

Для зменшення витраченої потужності протягом цього періоду, топологія, обрана для попереднього підсилювача, як показано на рис. 2.8, складається з безперервного часового каскаду, за яким слідує тактовий підсилювач, який приймає техніку комутованого підсилювача і справді вимикається під час простою напівфази [18-21].

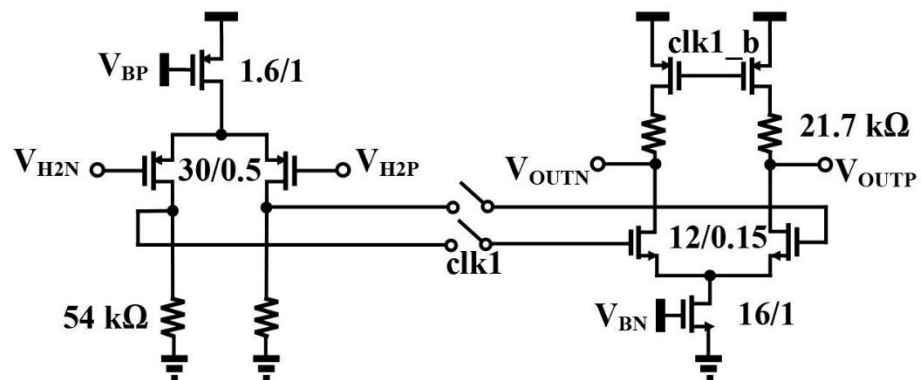


Рис.2.8. Тактовий підсилювач

Для досягнення кращої ізоляції між пасивним контурним фільтром та активністю комутації нижчого компаратора 1-й каскад підсилювача є безперервним, а синхронізована топологія використовується для 2-го ступеня попереднього підсилювача.

Чотирифазний генератор сигналів.

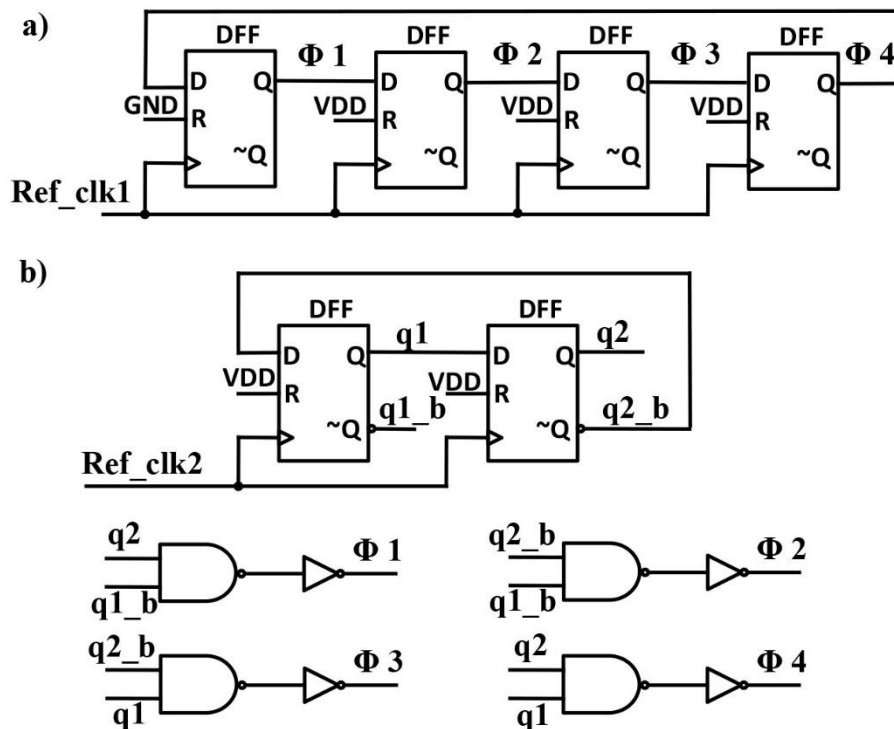


Рис.2.9. Чотирифазний генератор сигналу

Генератор сигналу, показаний на рис.2.8(a), складається з чотирьох D-тригерів (DFF). При включенні DFF скидаються на «1000». Потім код обертається на один крок протягом кожного тактового циклу. Це генерує чотири фази керуючого сигналу. Однак ця структура страждає від ризику порушення часу утримання, і «1» у циклі може бути перезаписаний на «0», що призводить до недійсного контролю синхронізації всередині системи. У цій реалізації прийнятий генератор сигналу, показаний на рис.2.9(b) [47]. Він включає два DFF, які запускаються різними краями ref\_clk2, таким чином уникаючи порушення часу утримання.

Запропонований АЦП реалізований у технології низької потужності КМОН 28-нм TSMC. На мікросхемі в Додатку А показано центральний АЦП, який займає площу  $0,059 \text{ mm}^2$  і виконаний з пасивним контурним фільтром sw-cap та 1-бітовим квантовачем, а також тактовим буфером та вихідним тестовим операційним підсилювачем.

## Висновок до 2 розділу

Було представлено пасивний модулятор  $\Delta\Sigma$  другого порядку, що використовує техніку обертання із розподілом заряду для придушення ефекту міжступеневого навантаження у фільтрі петлі *sw-cap*. Незалежний додатковий шлях зворотного зв'язку та додатковий етап, що вводять нуль у передавальній функції, додаються до 2-го ступеня пасивного ФНЧ та оптимізуються за допомогою моделювань поведінкового моделювання, щоб збільшити ослаблення шуму в діапазоні квантування.

Запропонована методика «конвеєрної обробки», при якій чотири паралельні каскадні етапи відбору проб *sw-cap* з чергуванням за часом, щоб одночасно послабити обмеження часу встановлення напруги внутрішніх вузлів та поліпшити енергоефективність модулятора.

При OSR 256, запропонований модулятор досягає SNDR 81,1 дБ за смуги пропускання сигналу 80 кГц, розсіюючи при цьому 101,5 мкВт і займаючи 0,059  $mm^2$ .

## Розділ 3

### Дельта-модулятор квазірівневого переходу, його властивості та призначення

#### 3.1 Дельта-модулятор квазірівневого переходу з адаптивним дозволом на основі квантування залишків

Представлений дельта-модулятор з адаптивною роздільною здатністю (AR), який квантує свій залишок напруги  $V_{res}$  за допомогою суб-АЦП з низькою роздільною здатністю (надалі також іменований як «квантор залишків»).

Це дозволяє прямо реалізувати алгоритми перетину рівнів LC та AR в цифровій області, які можуть бути реалізовані як логічно синтезовані з високою цифровою ефективністю. На відміну від звичайних АЦП LC, запропонований дельта-модулятор використовує алгоритм LC у цифровій області вибірки, що є причиною прийняття термінології «quasi-LC».

Тенденцією розвитку високоінтегрованих бездротових сенсорних пристроїв є впровадження аналогових інтерфейсних RF TX і DSP в наномасштабі КМОН-технології [25, 28].

Запропонований quasi-LC дельта-модулятор відповідає даній меті та забезпечує просту і цифрову інтенсивну реалізацію стисненого зондування.

AR quasi-LC дельта-модулятор.

Модулятор складається з аналогової частини, яка включає 7-бітний ЦАП зворотного зв'язку з sw-сар, субтрактор (тут-дискретизований ЦТ на основі подій, але, як правило, це може бути КТ), попередній підсилювач та 4-бітний квантор залишків і цифрову частину, що містить синтезовану логіку та спеціальний цифровий розділ. Прийнято 7-розрядний ЦАП із зворотним зв'язком sw-сар, оскільки АЦП LC можуть досягти нижчої середньої частоти дискретизації для розріджених сигналів порівняно з їх аналогами, використовуючи рівномірну дискретизацію з низькою роздільною здатністю, що зазвичай менше 8 біт. Після вузла віднімання попередній підсилювач, який складається з двох каскадних

підсилювачів з низьким коефіцієнтом підсилення, використовується для посилення залишкового сигналу  $V_{res}$  на 4 рази для компенсації втрат посилення пасивного від'ємника та для керування 4-бітовим квантовачем залишків.

Синтезована логіка служить для цілей багатопорогового порівняння (таким чином, назва AR Comp) сигналу квантованого залишку, крім того, використовуючи алгоритми LC та AR, та виконуючи підрахунок вгору/вниз (U/D CNT) для генерації двійкового цифрового управління для ЦАП із зворотним зв'язком sw-cap. ЦАП зворотного зв'язку sw-cap і субстрактор ініціюються шиною CLK на основі подій, що генерується шляхом зчитування системного CLK із подіями перетину рівня, сформованими в AR Comp.

AR Comp порівнює оцифрований  $V_{res}$  з кількома цифровими пороговими рівнями. Коли напруга залишку  $V_{res}$  знаходиться в межах  $V_{cm} \pm LSB_{DAC} / 4$  ( $1/4$  – коефіцієнт підсилення пасивного від'ємника), де  $V_{cm}$  – напруга загального режиму від'ємника, а  $LSB_{dac}$  -  $LSB$  sw-cap ЦАП, вихід QOUT квантора залишків залишається на рівні 8, і AR Comp не виявляє переходів рівня.

Коли  $V_{res}$  перевищує цей діапазон, це вказує на перетин одного з десяти цифрових рівнів (3,4,...7 і 9,10,...13). Це активує подію та активує шиною CLK на основі подій. На відміну від звичайного дельта-модулятора LC, запропонований модулятор оцифровує залишок дельта-модулятора  $V_{res}$ , використовуючи суб-АЦП з низькою роздільною здатністю, що дозволяє виконувати алгоритм AR-LC у цифровій області.

Отже, реалізація AR у запропонованій топології потребує квантування залишків та синтезованої цифрової логіки, що майже не затратно з точки зору апаратних ресурсів [61, 63].

Представлений дельта-модулятор AR використовує новий метод вибірки quasi-LC. Подібно до методики дискретизації LC, quasi-LC дискретизація дискретує вхідний сигнал  $V_{in}$  лише тоді, коли він перетинає один з порогових рівнів. Однак, оскільки алгоритм LC виконується в дискретованому цифровому домені, дискретований вхід  $(V_{in}(t_j), t_j)(t_j = n|fs)$  є дискретним у часовій області та синхронним до системного годинника.

Порівняння зі звичайними АЦП LC.

Звичайні АЦП, як правило, без годинника, а наступний цифровий блок викликається подіями з компараторів КТ. Добре відомими перевагами звичайних АЦП LC є: швидкість в плані оновлення вихідних даних для реагування на вхідні зміни, вхідна швидкість потоку та динамічне споживання енергії, менша помилка квантування в діапазоні та в ідеалі відсутність псевдонімів [68].

Принцип роботи.

Для звичайних АЦП LC вхідний сигнал  $V_{in}$  або напруга залишків  $V_{res}$  вводяться в детектори порогового рівня, реалізовані як компаратори КТ. Якщо один з порогових рівнів перетнуто, генерується відповідний сигнал події, який містить інформацію про синхронізацію та інформацію про напругу. Цей сигнал події використовується для керування лічильником вгору/вниз і для відновлення сигналу. Інформація про синхронізацію знаходиться в домені безперервного часу, що означає, що АЦП не можуть безпосередньо взаємодіяти з DT DSP. Однак для представлених quasi-LC АЦП, напруга залишкової напруги  $V_{res}$  відбирається і оцифровується квантовачем залишків, а оцифрований  $V_{res}$  вводиться в AR Comp в дискретизованому цифровому домені, який зміщує алгоритм LC в цифровий домен.

Невід'ємна передискретизація, що залежить від введення.

Перші дві переваги, швидка реакція та вхідна швидкість бітової швидкості та динамічне споживання енергії, зумовлені властивою їм вхідною залежністю передискретизації. Дійсно, у прикладі синусоїдального сигналу, перетвореного з фіксованою роздільною здатністю, коефіцієнт передискретизації АЦП ЦТ LC може бути виражений як:

(3.1)

$$OSR_{CT-LC} = \frac{f_{out}}{2 \cdot f_{in}} = \frac{A_{in,pp}}{FS} \cdot N_{level}$$

Де  $f_{out}$  - середня частота дискретизації,  $f_{in}$  – частота синусоїдального входу,  $A_{in,pp}$  – вхідна амплітуда від піку до піку, FS – повномасштабний діапазон АЦП, а  $N_{level}$  – кількість рівнів квантування LC АЦП, що відповідає  $2N$  для дельта-модулятора з N-бітовим ЦАП зворотного зв'язку та кількості компараторів для

топології спалаху. Отже, залежний від сигналу  $OSR_{CT-LC}$  знаходиться в діапазоні  $[0, \text{рівень } N]$ . Для запропонованого quasi-LC-дельта-модулятора варто зауважити, що з точки зору чорної скриньки він нагадує роботу звичайного АЦП СТ LC, оскільки він також передискретизує вхідні сигнали з коефіцієнтом передискретизації, який залежить від входу, таким чином реагуючи на вхід змінюється майже відразу, досягаючи швидкості передачі даних на вході та динамічного споживання енергії.

### 3.2 Системний аналіз дельта-модулятора quasi-LC AR та динамічний діапазон (DR)

Два каскадні підсилювачі з низьким коефіцієнтом підсилення в попередньому підсилювачі функціонують як RC LPF другого порядку, функція передачі z-домену може бути виражена як:

$$H_{LPF}(z) = \frac{G_A \cdot (1 - p_1) \cdot (1 - p_2)}{(1 - p_1 z^{-1}) \cdot (1 - p_2 z^{-1})} \quad (3.2)$$

Де  $G_A$  – загальний коефіцієнт посилення постійного струму попереднього підсилювача, тоді як  $p_1$  і  $p_2$  – домінуючі полюси, що генеруються двома каскадними підсилювачами з низьким коефіцієнтом положення. Визначивши  $\alpha$  як співвідношення між LSB ЦАП sw-cap ( $LSB_{dac}$ ) та LSB квантування залишків суб-ADC ( $LSB_{dac} - ADC$ ) номінальна одиниця, функція передачі z-домену функціонує на системному виході  $D_{out}$  шуму квантування EQ квантування залишків (NTF) шуму ERA попереднього підсилювача ( $NTF_{ra}$ ) та вхідного сигналу  $V_{in}$  (STF) можуть бути виражені як:

$$NTF(z) = \frac{D_{OUT}}{E_Q} = \frac{1}{1 - z^{-1} + z^{-1} \cdot \alpha \cdot G_S \cdot H_{LPF}(z)} \quad (3.3)$$

(3.4)

$$NTF_{RA}(z) = \frac{D_{OUT}}{E_{RA}} = \frac{\alpha \cdot H_{LPF}(z)}{1 - z^{-1} + z^{-1} \cdot \alpha \cdot G_S \cdot H_{LPF}(z)} \quad (3.5)$$

$$STF(z) = \frac{D_{OUT}}{V_{IN}} = \frac{\alpha \cdot G_S \cdot H_{LPF}(z)}{1 - z^{-1} + z^{-1} \cdot \alpha \cdot G_S \cdot H_{LPF}(z)}$$

Де  $G_S$  – коефіцієнт підсилення від’ємника, який безпосередньо передує підсилювачу (що дорівнює  $\frac{1}{4}$  у даній схемі). Будь-яке невідповідність між  $LSB_{DAC}$  та  $LSB_{SUB} - ADC$  може трактуватися як помилка посилення, що описується значенням  $\alpha$ , відмінним від 1.

Полюси ФНЧ розташовані на номінальній частоті р0 10 мГц, що значно перевищує пропускну здатність сигналу 1,42 МГц і майже на порядок нижче, ніж частота CLK (fCLK).

Величини NTF і STF, припускаючи, що коефіцієнт посилення тракту сигналу, визначаються як  $G_{total} = \alpha \cdot G_S \cdot G_A$ , є одиницею.

Оскільки внутрішньосмуговий NTF дорівнює 0дБ, нижній діапазон шуму вихідного спектра модулятора залежить лише від  $LSB_{SUB} - ADC$  та вибраного коефіцієнта передискретизації (враховуючи, що потужність шуму квантування в смузі від квантора залишків обернено пропорційна йому).

Динамічний діапазон (DR).

DR звичайного дельта-модулятора LC і DR запропонованого quasi-LC дельта-модулятора – обидва обмежені верхнім значенням роздільної здатності ЦАП і зворотного зв’язку. У спалахах LC АЦП спалах DR замість цього залежить від співвідношення між найбільшим  $\Delta_{max}$  та найменшим  $\Delta_{min}$  пороговими інтервалами квантора напруги.

Якщо послідовні пороги рівні в топології на основі спалаху однаково розташовані, тоді DR обмежується кількістю використаних компараторів. У дельта-модуляторі найменша амплітуда пікового максимуму сигналу ( $V_{in, min}$ ), яку можна виявити, знаходиться в діапазоні  $[\Delta_{min}, \Delta_{min} + 1]$ , тобто він 1 до 2  $LSB_{DAC}$ , залежно від загального сигналу -режим напруги ( $V_{in, CM}$ ).

Дійсно, якщо  $V_{in}$ , CM лежить посередині двох послідовних рівнів ЦАП зворотного зв'язку ( $V_{DAC,i}$  і  $V_{DAC,i+1}$ ), тоді  $V_{in, min}$  дорівнює  $\Delta_{min}$ , тоді як якщо  $V_{in}$ , CM не однаково розташовані на  $V_{DAC,i}$  і  $V_{DAC,i+1}$ , то  $V_{in, min}$  збільшується лінійно, оскільки відстань між  $V_{in}$ , CM та одним із двох порогів зменшується. Отже, він обмежений  $2 \Delta_{min}$ .

Тому подібно до звичайних АЦП LC СТ, запропонований quasi-LC дельта-модулятор демонструє варіацію DR на 6 дБ, за умови  $V_{in}$ , CM вхідного сигналу. Однак навіть у цьому відношенні AR можна розглядати як засіб поліпшення динамічного діапазону LC АЦП. Тому схема AR допомагає подолати компроміс між динамічним діапазоном та пропускнуою здатністю сигналу [61].

### 3.3 Алгоритм адаптивного дозволу (AR)

Алгоритм AR виконує мету подальшого зменшення середньої частоти дискретизації, щоб зменшити потужність, споживану для обробки та бездротової передачі даних з вузла IoT. Він використовується, регулюючи порогові інтервали на основі активності вхідного сигналу (тобто похідної), не жертвуючи діапазоном продуктивності АЦП [57]. Повільно мінливий вхідний сигнал перетворюється з найкращою роздільною здатністю ( $\Delta_{min}$ ), тоді як швидкозмінний сигнал перетворюється з найгрубішою роздільною здатністю ( $\Delta_{max}$ ). Для АЦП LC смуга пропускання АЧХ є рівною для сигналів, які вони можуть відстежувати. АЦП LC не обмежені смугою пропускання в тому сенсі, що їх вузьке місце в смузі пропускання не відображається їх частотною характеристикою та вони обмежені максимальною швидкістю зниження сигналу. Спеціальних визначень пропускнуої здатності LC АЦП немає. Визначити максимальну швидкість наростання можна за допомогою  $2\pi \cdot Bw \cdot A_{-3dB}$ , де можна отримати смугу пропускання сигналу.

Отже, специфікація максимально допустимої затримки циклу  $t_{L,max}$  дельта-модулятора LC без алгоритму AR, отже має фіксовану роздільну здатність  $\Delta$  (рівну  $\Delta_{min}$ ), можна отримати:

(3.6)

$$t_{Lmax} = \frac{\Delta}{2\pi \cdot BW \cdot A_{-3dB}}$$

Отже, пропускна здатність сигналу є верхньою межею при:

$$BW_{max} = \frac{\Delta}{2\pi \cdot t_{Lmax} \cdot A_{-3dB}}$$

(3.7)

Пряма пропорційність роздільної здатності АЦП LC свідчить про те, що використовуючи AR до найгрубішого значення  $\Delta_{max}$ ,  $BW_{max}$  і максимальна швидкість знищення, яку можна відстежити, може поширюватися на коефіцієнт  $L = \Delta_{max}/\Delta_{min}$  (далі – фактор AR).

Впровадження алгоритму AR.

Спосіб реалізації AR у звичайному дельта-модуляторі СТ і LC полягає у адаптивній настройці, змінюючи час, інтервал порівняння (тобто різниця між верхнім і нижнім порогами порівняння двох компараторів, які сприймають залишкову напругу  $V_H$  та  $V_L$ ), на основі похідної вхідного сигналу [61, 63].

Однак це призводить до накладних витрат на обладнання. Логічно, що запропонований quasi-LC дельта-модулятор замінює два компаратори дельта-модулятора СТ, кожен із змінними в часі порогами, компараторами  $2L$ , кожен з фіксованим порогом.

Для наномасштабних КМОН-технологій використання високоефективних компараторів КТ, які зазвичай застосовують багатоступеневу топологію для досягнення достатнього виграшу, ймовірно призводить до більш високого споживання статичної енергії.

Оскільки CLK застосовується до квантора залишків, пропускна здатність сигналу запропонованого quasi-LC дельта-модулятора обмежується тим фактом, що максимальний зсув напруги, який ЦАП зворотного зв'язку здатний забезпечити в Tclk, відповідає грубій роздільній здатності, дозволеній AR схемі  $\Delta_{max}$ . Це означає, що добуток  $\Delta_{max} \cdot f_{CLK}$  представляє максимальне абсолютне значення похідної сигналу, яке АЦП здатний обробляти, не вносячи очевидних спотворень.

Розглядаючи вхідний синусоїдальний сигнал  $-3dB$  з частотою, рівною  $BW$ , пропускну здатність АЦП можна розрахувати як:

$$\Delta_{max} \cdot f_{CLK} = \max \left\{ \frac{\delta}{\delta t} [A_{-3db} \cdot \sin(2\pi \cdot BW \cdot t)] \right\} \quad (3.8)$$

$$BW = \frac{\Delta_{max} \cdot f_{CLK}}{2\pi \cdot A_{-3dB}} = \frac{L \cdot \Delta_{min} \cdot f_{CLK}}{2\pi \cdot A_{-3dB}} \quad (3.9)$$

Де  $L$  встановлено як 5.

Подібно до аналогів КТ, алгоритм AR забезпечує розширення смуги пропускання на коефіцієнт  $L$  порівняно з топологією з фіксованою роздільною здатністю. Варто також зазначити, що з огляду на мінімальну роздільну здатність запропонованого quasi-LC-дельта-модулятора можна розраховувати досить точно, що на відміну від дельта-модуляторів СТ LC, де затримка циклу є натомість нелінійною функцією похідної вхідного сигналу і тому, не є постійною.

### Висновок до 3 розділу

У порівнянні зі звичайними АЦП LC, представлений AR quasi-LC АЦП зберігає переваги швидкої реакції на оновлення вхідних даних, середньої частоти дискретизації, що залежить від вхідного сигналу та енергоспоживання, а також меншої похибки в діапазоні. Внаслідок прийняття рівномірного місцевого відбору проб у квантовачі залишків, представлений дельта-модулятор quasi-LC AR втрачає характеристики без накладання. Однак це вводить дві унікальні переваги: уникнення компараторів КТ і синхронізація з місцевим годинником, що забезпечує прямий інтерфейс з DT DSP.

За допомогою аналізу на рівні системи посилення шляху проходження сигналу  $G_{total}$  може впливати на NTF, вихідний діапазон STF та лінійність системи, тоді як домінуючі полюси попереднього підсилювача можуть також впливати на зовнішні STF та NTF.

З точки зору реалізації алгоритму AR, представлений дельта-модулятор зміщує реалізацію в цифровий домен і зменшує апаратну складність. У рамках програм моніторингу в реальному часі, порівняння між запропонованими quasi-LC АЦП та рівномірними перетворювачами вибірки Найквіста (тобто АЦП SAR, враховуючи їх сучасну енергоефективність) було проведено кількісно, що порівняно з АЦП SAR із стиснутим алгоритмом, реалізованим в DSP, представлений дельта-модулятор може бути життєздатною альтернативою.

Аналіз DR приходить до висновку, що DR LC-АЦП на базі дельта-модулятора обмежується роздільною здатністю ЦАП із зворотним зв'язком, тоді як DR на основі спалаху залежить від кількості компараторів КТ всередині.

## Розділ 4

### Дельта-модулятор квазірівневого переходу з адаптивною роздільною здатністю з квантовачем залишків на основі SAR та VCO

#### 4.1. Квантор залишків на основі SAR

У запропонованому quasi-LC АЦП квантовач залишків перетворює посилену напругу залишку в 4-бітове цифрове слово ( $Q_{OUT}$ ). Вибір 4 бітів залежить від обраного фактора AR ( $L=5$ ), що вимагає 10 порогових рівнів. Тактова частота 80 МГц обрана, щоб дозволити вирішити всі 4 біти (тобто гарантувати, що вихідний тригер RDY готовий до перетворення, завжди стверджуватися протягом тактового періоду), і враховуючи розумний запас часу, щоб впоратися з варіаціями процесу. Квантор залишків реалізований як асинхронний АЦП SAR верхньої пластини з роздвоєним двійково-зваженим ємнісним ЦАП (крім конденсаторів LSB  $C_0$ , які не розділяються), як показано на рис. 4.1.

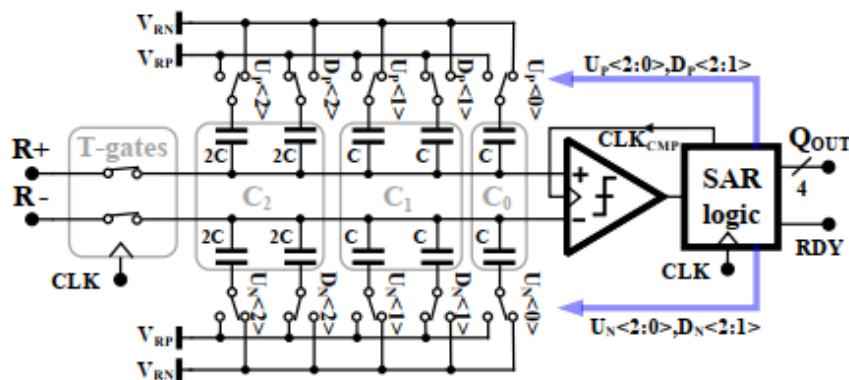


Рис. 4.1. Квантор залишків на основі SAR

Вибір послідовної апроксимаційної топології покладається на її простоту, податливість до масштабування та найсучаснішої енергоефективності. Одиничний конденсатор ємнісного ЦАП залишкового квантора-це МОМ-ковпачок 4,5 fF від PDK, тоді як перемикачі відбору проб – це прості затвори передачі. Враховуючи низьку роздільну здатність суб-АЦП, а також низьку

амплітуду посиленого VRES (значно нижче повномасштабного діапазону АЦП), перемикання завантаження не потрібно. Порівняльник реалізований як простий етап засувки, тоді як логіка SAR складається лише з тригерів TSPC та логічних затворів. Через передискретизацію ( $f_{CLK}$  становить близько  $56 \cdot B_B$ ), внесок потужності шуму квантування залишкового квантора в пропонований LC ADC SNR становить:

(4.1)

$$SNR_{SAR\ dB} = 6,02N + 1,76 + 10 \log \left( \frac{f_{CLK}}{2 \cdot BW} \right)$$

Де  $N$  – роздільна здатність ЦАП із зворотним зв'язком sw-sar запропонованого дельта-модулятора ( $N=7$  у цій реалізації). Для  $BW=1,42$  МГц,  $SNR_{sar} = 58$  дБ, що насправді є верхньою межею SNR запропонованого quasi-LC АЦП. Звичайний АЦП LC з рівною пропускну здатністю вимагав би дисперсії затримки шлейфу  $\Delta te$  нижче 173 пс для досягнення того ж SNR, що досить складно отримати за допомогою багатоступінчастої топології компаратора, і його потрібно було б компенсувати за допомогою смуги пропускання і енергоспоживання компараторів.

Наприклад, 4-ступінчастий компаратор в LC АЦП, може досягти дисперсії затримки приблизно 150 пс із смугою пропускання 200 МГц, коли АЦП перетворює повномасштабну вхідну синусоїду 20 МГц [71].

У запропонованому модуляторі шум квантування квантора залишків домінує над SNR на частотах сигналів у верхньому діапазоні смуги пропускання сигналу, тоді як для низьких вхідних частот, замість цього в ADR SNR переважає похибка напруги, викликана поточним витокком вимикачів всередині від'ємника sw-sar.

Результати вимірювань.

Представлений дельта-модулятор quasi-LC AR реалізований у 28-нм КМОН TSMC LP і займає площу  $0,0126\ mm^2$ . Мікрофотографія чіпа показана на Додатку Б.

Основний модулятор складається з ЦАП з зворотним зв'язком sw-sar і від'ємника, попереднього підсилювача, квантування залишків та синтезу.

Підтримуючі схеми включають вхідний тактовий буфер, інтерфейс SPI, вихідні ОРА та LVDS TX. Вихідні контрольні ОРА реалізовані на товстих затворних транзисторах, що працюються на живленні 1,8 В.

## 4.2. Вимірювання алгоритму AR

Частота ЕКГ-сигналу дійсно збільшена для того, щоб візуалізувати роботу алгоритму AR в областях похідної високого сигналу (грубіша роздільна здатність для похідних високого сигналу і точніша роздільна здатність при низьких похідних).

Вимірний 7-розрядний цифровий двійковий вихід Dout та вихід EВout на основі подій показані на рис. 4.2, демонструють, що алгоритм AR вмикається лише тоді, коли вхідний сигнал швидко змінюється. Як видно, коли  $\Delta$  (інформація про напрямок включена в UD) стає вище 1 або нижче -1 (наприклад, між Q і R та інтервалами R і S).

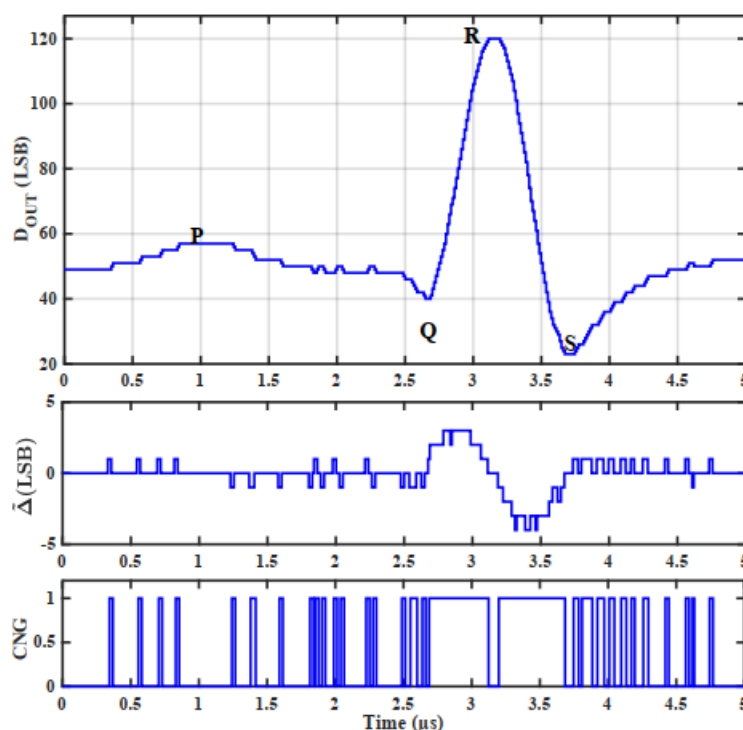


Рис.4.2. Вимірюваний цифровий вихід (Dout) та вихідні сигнали на основі подій ( $\Delta$  та CNG) на прикладі схеми сигналу ЕКГ, що генерується з довільним генератором сигналу.

Більше того, CNG тригер подій залишається низьким, коли не відбувається перетин через рівень.

Для того, щоб підкреслити переваги AR, виміряна середня частота дискретизації шини сигналу EВout для синусоїдального входу -3 dBFS і порівняно з алгоритмом AR, частота оцінки якого  $f_{EB,out}$  вихід добре апроксимується:

$$f_{EB,out} = 2 \cdot f_{in} \cdot \frac{A_{in_1pp}}{F_S} \cdot 2^N \quad (4.2)$$

Де N – роздільна здатність ЦАП із зворотним зв'язком sw-сар, рівна 7.

Алгоритм AR починає працювати, коли частота вхідного сигналу >280 кГц. Це може зменшити середню частоту дискретизації на 3× на краю смуги пропускання (~ 1,4 МГц). З іншого боку, для вхідних частот <100кГц, виміряна середня частота дискретизації трохи перевищує її теоретичне значення (тобто дві криві не перетинаються), знову ж таки, через струм витоку на вузлі Vres, який, крім того, що трохи погіршує продуктивність АЦП, також спричиняє «помилкові» події перетину рівня.

Слід пам'ятати, що окрім очевидної переваги щодо зменшення частоти дискретизації, використання алгоритму AR забезпечує більш широкую смугу пропускання сигналу, яка в іншому випадку була б обмежена лише 280 кГц.

### 4.3 Квантор залишків на основі VCO

RVCO у квантовачі залишків на основі VCO, показаному на рис. 4.3, складається з 16 псевдодиференціальних каскадів затримки з 2× пасивною (резистивною) фазовою інтерполяцією, що дає в цілому 32 диференціальні фази [22, 67].

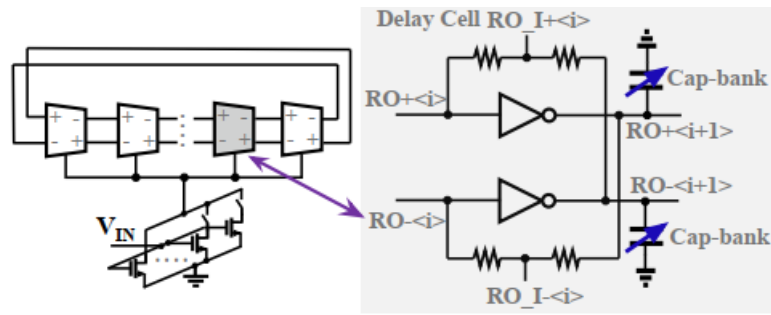


Рис. 4.3. Схема RVCO

Кожна комірка затримки втрачає струм через регульоване напругою джерело струму, де паралельно підключені 24 входні транзистори, що дозволяють здійснювати грубе управління коефіцієнтом підсилення VCO  $K_{VCO}$  та центром частоти вільного ходу, керованим  $K_{VCOctrl}$ .

Вихідні фази RVCO відбираються за допомогою спеціальних тригерів підсилювача сенсу, тоді як апаратне забезпечення для цифрової диференціації та першого підрахунку реалізовується за допомогою стандартного цифрового потоку синтезу, що призводить до простого та зрозумілого впровадження. Результат квантування залишків на основі VCO  $y[n]$  може бути виражений як [106]:

(4.4)

$$y[n] = \frac{N_{ph}}{2\pi} (\Delta \phi_x[n] + \phi_q[n-1] - \phi_q[n])$$

Де  $N_{ph}$  – кількість вихідних фаз RVCO всередині квантора залишків (32 у цій схемі),  $(\Delta \phi_x[n])$  – зміна фази VCO за один тактовий період через посилену напругу залишку, а  $\phi_q$  – помилка квантування фаз.  $\Delta \phi_q[n]$ , у свою чергу, може бути виражений як:

(4.5)

$$\Delta \phi_x[n] = 2\pi K_{VCO} \overline{G_A V_{RES}[n]} T_{CLK}$$

Де  $K_{VCO}$  є коефіцієнтом підсилення VCO,  $G_A$  – коефіцієнтом постійного посилення попереднього підсилювача, а  $T_{clk}$  – тактовим періодом квантування на основі VCO. Отже, LSB квантування на основі VCO є  $LSB_{sub-ADC} = f_{clk}/(K_{vco} N_{phase})$ .

Щоб отримати  $LSB_{sub-ADC}$ ,  $K_{VCO}$  потрібно вставити на  $4 \cdot f_{CLK}$  вольт і будь-яке відхилення від цього співвідношення можна розглядати як варіацію  $\alpha$ .

Результат вимірювання.

Запропонований quasi-LC дельта-модулятор, реалізований в TSMC 28-нм LP КМОН, займає площу  $0,022 \text{ mm}^2$ . Вихідні контрольні ОРА реалізовані на товстих затворних транзисторах і працюють на живленні 1,8 В. Виміряний вихідний спектр для повномасштабного синусоїдального вхідного сигналу 300,06 кГц, досягаючи SNDR та SFDR 53,07 дБ та 63,32 дБ відповідно.

За допомогою вбудованої мікросхеми DFT, що розриває петлю дельта-модулятора, вихідний спектр автономного квантовача залишків на основі VCO з вхідним сигналом – 18 дБВ на 150,32 кГц (яка є амплітудою, яка ініціює повне коливання на виході квантовача залишків на основі VCO).

SNDR і SNR запропонованого модулятора в порівнянні з амплітудою вхідної синусоїди 300,06 кГц, що передбачає DR більше 50 дБ. Це значно більше, ніж у quasi-LC модулятора AR, який не проявляє властивого розмивання і чий DR, обмежений роздільною здатністю ЦАП із зворотним зв'язком sw-cap, що обмежується до 42 дБ.

Енергоспоживання представленої роботи може бути додатково оптимізовано за рахунок зменшення кількості фаз у квантовачі залишків на основі VCO.

#### **4.4 Порівняння між АЦП quasi-LC із квантовачем залишків на основі SAR та з квантовачем залишків на основі VCO**

Quasi-LC АЦП із квантовачем залишків на основі SAR можуть отримати вигоду від вхідної залежності середньої частоти дискретизації та споживання енергії. Більш того, оскільки АЦП SAR мають найсучаснішу енергоефективність, quasi-LC можуть досягти кращої енергоефективності, коли SAR–АЦП приймається як квантор залишків. Оскільки АЦП SAR менш чутливі до варіацій процесу, ніж їх аналоги на основі VCO, quasi-LC АЦП з квантовачем залишків на основі SAR потребують меншої налаштованості.

Quasi-LC АЦП з квантовачем залишків на основі VCO містять властивості, що допомагають досягти їм більш високого коефіцієнту опору та уникнути погіршення SNDR на низьких частотах, спричинених витоками всередині від'ємника  $sw-cap$ . Однак це відхилення погіршує залежність quasi-LC АЦП від середньої частоти дискретизації та споживання енергії від вхідної діяльності.

#### **Висновок до розділу 4**

У даному розділі були представлені дельта-модулятори quasi-LC на основі SAR та VCO. Аналізувався вплив витоків субтрактора на поведінку системи загалом. Представлені попередній підсилювач та квантування залишків на основі SAR. Подано логічний потім синтезованого цифрового блоку. Дані SNDR проти вхідної амплітуди також узгоджують з обговоренням DR. Крім того, алгоритм AR також перевіряється за допомогою результату вимірювання карти сигналу ЕКГ із покращеною швидкістю та середньою частотою дискретизації в порівнянні з вхідними частотами, демонструючи, що середня частота дискретизації зменшується в три рази на краю смуги пропускання сигналу модулятора за допомогою алгоритму AR.

Тому вхідне енергоспоживання, вплив змін процесу та варіації постачання також досліджують за допомогою різних вимірювань.

Вимоги до експлуатаційних характеристик та продуктивності цього квантування залишків на основі VCO (як правило, розглядається як основний внесок у нелінійність у традиційному автономному АЦП на базі VCO), можуть значно пом'якшитись у запропонованому quasi-LC дельта-модуляторі.

Дійсно, затухання в квантовачі залишків на основі VCO, ефекти якого можуть бути відфільтровані, не тільки пом'якшує вплив витоків від'ємника  $sw-cap$  на продуктивність системи, але також збільшує DR системи та її середню частоту дискретизації для вхідних сигналів з низькою амплітудою.

#### **Практичні рекомендації**

Зважаючи на всі запропоновані інновації, можна запропонувати такі пропозиції для майбутніх дослідників:

- Модулятор  $\Delta\Sigma$  пасивного багатоступеневого формування шуму (MASH). Для зменшення шуму в діапазоні квантування.
- Пасивний  $\Delta\Sigma$  модулятор на основі конвеєрного обертання з розподілом зв'язку з пасивним коефіцієнтом посилення.

Може уникнути ефекту міжступеневого навантаження. Для того, щоб скористатися перевагами уникнення ефекту та генерувати пасивний коефіцієнт, можна застосовувати техніку посилення *sw-cap*.

- Дельта-модулятор AR quasi-LC з квантовачем залишків адаптивного відбору проб.

Адаптивна техніка дискретизації може також застосовуватися до квантору залишків рівномірної вибірки для адаптивної вибірки VRES на основі сигналу CNG на основі подій, що може додатково масштабувати споживання енергії відповідно до вхідної активності, таким чином покращуючи енергоефективність.

- Дельта-модулятор AR quasi-LC з від'ємником КТ.

Потрібно додатково дослідити активний від'ємник КТ. Він може не тільки керувати квантовачем залишків безпосередньо без допомоги попереднього підсилювача, але і керувати навантаженням конденсатора. Це може спростити логіку цифрового управління.

- Дельта-модулятор quasi-LC з регульованими полюсними петлями. Домінуючі полюси P1 та P2 впливають на пік зовнішнього діапазону STF та NTF, і тому, впливають на фільтрування поза смугами.

- Дельта-модулятор quasi-LC з генератором дизеру, реалізований в синтезованому цифровому блоці. SNDR quasi-LC АЦП і залишком на основі SAR погіршується на низьких частотах через витік у від'ємнику *sw-cap*.

Щоб уникнути ефекту витіку та збільшити коефіцієнт шуму, генератор розсіювання може бути реалізований з цифровим лічильником. Цей

лічильник підраховує кількість циклів після останньої події, і якщо це число не перевищує фіксований поріг, можна активувати нову подію для оновлення субтрактора.

## Висновки

Дипломна робота присвячена дослідженню малопотужних АЦП з пасивними та цифровими інтенсивними топологіями в наномасштабній КМОН для програм Internet-of-Things (IoT), відповідно, що вимагають високої роздільної здатності та низької/середньої роздільної здатності, де виникають труднощі при застосуванні звичайних високопродуктивних підсилювачів безперервного часу (КТ), враховуючи низький власний коефіцієнт посилення об'ємних транзисторів та знижену напругу живлення. Даним дослідженням присвячений 1 розділ дипломної роботи.

У 2 розділі для подолання обмежень, спричиненими наномасштабною КМОН, була розроблена пасивна реалізація АЦП Delta Sigma ( $\Delta\Sigma$ ) для програм IoT з високою роздільною здатністю. Звичайні пасивні  $\Delta\Sigma$  модулятори, а також міжступеневі ефекти навантаження були проаналізовані, тоді як обертання з розподілом заряду було застосовано до пасивного дельта-модулятора, щоб запобігти будь-яким міжетапним ефектам навантаження. В інтегратор 2-го ступеня були додані незалежний шлях зворотного зв'язку та ступінь занулення, щоб додатково послабити внутрішньосмуговий шум квантування та поліпшити стабільність системи, тоді як конвеєрна техніка застосовувалась фільтром ПР другого порядку на основі обертання розподілу заряду для збільшення довжини фази.

У 3 розділі для реалізації АЦП переходу рівня (LC) для програм, що мають справу з розрідженими сигналами та вимагають стисненого зондування, а також для скасування ефектів, спричинених варіаціями затримки розповсюдження компараторів КТ, було представлено ADC на основі рівня квантування залишків з адаптивною роздільною здатністю (AR) квазірівневого перехрещення quasi-LC. Ця топологія зміщує реалізацію алгоритмів LC та AR у цифровий домен, що робить її доступною для наномасштабної КМОН.

Аналіз представленої топології на системному рівні проводився не лише для отримання функцій передачі шуму сигналу та квантування (STF та NTF

відповідно), відповідної чутливості до коефіцієнта посилення тракту сигналу  $G_{total}$  та домінуючих полюсних частот попереднього підсилювача P1 та P2, але також для дослідження реалізації AR алгоритму всередині цієї топології. Більше того, представлену топологію також кількісно порівнювали з АЦП з рівномірною вибіркою, такими як АЦП з послідовним апроксимаційним регістром (SAR), слідом за стиснутим зондуєчим ЦСП, з урахуванням однакової швидкості відгуку на вхідні зміни, які більші або рівні відстані  $\Delta$  між сусідніми рівнями.

У 4 розділі також було досліджено теоретичний динамічний діапазон (DR) LC АЦП. Представлена топологія дельта-модулятора quasi-LC AR була реалізована за допомогою квантовача залишків на основі SAR та осцилятора, керованого напругою (VCO). Реалізація з квантовачем залишків на основі SAR забезпечує хороше енергоспоживання, яке залежить від вхідного сигналу, середню частоту дискретизації. Однак він страждає від витоку затвора комутаторів КМОН всередині від'ємника з комутованим конденсатором (sw-cap) і має відносно невеликий DR, обмежений роздільною здатністю ЦАП зворотного зв'язку.

Для того, щоб зменшити наслідки витоку комутаторів та поліпшити DR, був застосований квантор залишків на основі VCO. Власне і викликаний невідповідністю, дизеринг може збільшити середню частоту дискретизації низькоамплітудних та повільно змінюваних сигналів. Крім того, на відміну від звичайних АЦП VCO, що страждають від нелінійності, ця реалізація дуже доречна до нелінійності RVCO.

## Перелік посилань

1. Akopyan F., R. Manohar, and A. B. Apsel, “A level-crossing flash asynchronous analog-to-digital converter,” *IEEE Symp. Asynchronous Circ. and Sys.*, pp. 12–22, 2006.
2. Babaie-Fishani A. and P. Rombouts, “A mostly digital VCO-based CT-SDM with third-order noise shaping,” *IEEE J. Solid-State Circuits*, vol. 52, no. 8, pp. 2141–2153, Aug. 2017.
3. Bohorquez J. L., Chandrakasan A. P., Dawson J. L., “A 350  $\mu$ W CMOS MSK Transmitter and 400  $\mu$ W OOK Super-Regenerative Receiver for Medical Implant Communications,” *IEEE J. Solid-State Circuits*, vol. 44, no. 4, pp. 1248–1259, Apr. 2009.
4. Candès E. J. and M. B. Wakin, “An introduction to compressive sampling,” *IEEE Signal Process. Mag.*, vol. 25, pp. 21–30, Mar. 2008.
5. Cardes F. *et al.*, “0.04-mm<sup>2</sup> 103-dB-A Dynamic Range Second-Order VCO-Based Audio  $\Sigma\Delta$  ADC in 0.13- $\mu$ m CMOS,” *IEEE J. Solid-State Circuits*, vol. 53, no. 6, pp. 1731–1742, Jun. 2019
6. Chang-Hoon C., Ki-Young N., Zhiping Y., and Dutton R. W., “Impact of gate direct tunneling current on circuit performance: A simulation study,” *IEEE Trans. Electron Devices*, vol. 48, no. 12, pp. 2823–2829, Dec. 2001.
7. Chao I. *et al.*, “Analysis of Splittable Amplifier Technique and Cancellation of Memory Effect for Opamp Sharing,” *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 25, no. 2, pp. 621–634, Feb. 2017.
8. Chen C., Tan Z., and Pertijs M. A., “A 1V 14b self-timed zero-crossing-based incremental  $\Delta\Sigma$  ADC,” in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, CA, USA, Feb. 2013, pp. 274-275.
9. Chen F. and B. Leung, “A 0.25-mW low-pass passive sigma-delta modulator with built-in mixer for a 10-MHz IF input,” *IEEE J. Solid-State Circuits*, vol. 32, no. 6, pp. 774–782, Jun. 1997.

10. Chen F., B. Bakkaloglu, and S. Ramaswamy, "Design and analysis of a CMOS passive ADC for low power RF transceivers," *J. Analog Integr. Circuits Signal Process.*, vol. 59, no. 2, pp. 129–141, 2009.
11. Christen T., "A 15-bit 140- $\mu$ W Scalable-Bandwidth Inverter-ased  $\Delta\Sigma$  Modulator for a MEMS Microphone With Digital Output," *IEEE J. Solid-State Circuits*, vol. 48, no. 7, pp. 1605–1614, July. 2013. Bibliography 103
12. Donoho D. L., "Compressed sensing," *IEEE Trans. Inform. Theory*, vol. 52, pp. 1289–1306, Apr. 2006.
13. Donoho D. L., "For most large underdetermined systems of linear equations the minimal norm solution is also the sparsest solution," *Commun. Pure Appl. Math.*, vol. 59, pp. 797–829, Jun. 2006
14. F. Chen, S. Ramaswamy, and B. Bakkaloglu , "A 1.5 V 1 mA 80 dB passive  $\Sigma\Delta$  ADC in 0.13  $\mu$ m digital CMOS process," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig Tech. Papers*, Feb. 2003, pp. 32-33.
15. Gangopadhyay D. *et al.*, "Compressed Sensing Analog Front-End for Bio-Sensor Applications," *IEEE J. Solid-State Circuits*, vol. 49, no. 2, pp. 426–438, Feb. 2014.
16. Ghaderi M., J. A. Nossek, and G. C. Temes, "Narrow-band switched-capacitor bandpass filters," *IEEE Trans. Circuits Syst.*, vol. CAS-29, no. 8, pp. 557–572, 1982.
17. Huang M. C. and Liu S. I., "A Fully Differential comparator-Based Switched-Capcitor  $\Delta\Sigma$  Modulator," *IEEE Trans. Circ. Syst. II*, vol. 56, no. 5, pp. 69–373, May. 2005.
18. Hussain A., S.-W. Sin, U. Seng-Pan, R. P. Martins, "NTF zero compensation technique for passive sigma-delta modulator," *Proc. IEEE PRIMEASIA*, pp. 82-85, Oct. 2011
19. Hussain *et al* A., "Active-Passive  $\Delta\Sigma$  Modulator for High-Resolution and Low-Power Applications," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 25, no. 1, pp. 364–374, Jan. 2017.

20. J. Crols and M. Steyaert, "Switched-opamp: An approach to realize full CMOS switchedcapacitor circuits at very low power supply voltages," *IEEE J. Solid-State Circuits*, vol. 29, no. 8, pp. 936–942, Aug. 1994.
21. Kim H. C., Jeong D. K., and Kim W., "A partially switched-opamp technique for high-speed low-power pipelined analog-to-digital converters," *IEEE Trans. Circ. Syst. I*, vol. 53, no. 4, pp. 501–801, Apr. 2006.
22. Kim J. *et al.*, "Analysis and Design of Voltage-Controlled Oscillator Based Analog-todigital converter," *IEEE Trans. Circ. Syst. I*, vol. 57, no. 1, pp. 18–30, Jan. 2010
23. Kozmin K., J. Johansson, and J. Delsing, "Level-Crossing ADC Performance Evaluation Toward Ultrasound Application," *IEEE Trans. Circ. Syst. I*, vol. 56, no. 8, pp. 1708–1719, Aug. 2009
24. Kuo L. T., C. C. Hou, M. H. Wu, Y. S. Shu, "A 1V 9pA analog front end with compressed sensing for electrocardiogram monitoring," *IEEE Asian Solid-State Circuits Conference (ASSCC)*, pp. 1-4, Nov. 2015.
25. Kuo F. W. *et al.*, "A Bluetooth low-energy transceiver with 3.7-mW all-digital transmitter, 2.75-mW high-IF discrete-time receiver, and TX/RX switchable on-chip matching network," *IEEE J. Solid-State Circuits*, vol. 52, no. 4, pp. 1144–1162, Apr. 2017.
26. Kurchuk M., C. W. Wu, D. Morche and Y. Tsvividis, "Event-driven GHz-range continuoustime digital signal processor with activity dependent adaptive resolution," *IEEE Solid-State Circuits*, vol. 47, no. 9, pp. 2164–2173, Sep. 2012.
27. Lewyn L. L., Ytterdal T., Wulff C., Martin K., "Analog Circuit Design in Nanoscale CMOS Technologies," *Proceedings of the IEEE*, vol. 97, no. 10, pp. 1687–1714, Oct. 2009.
28. Li C. C. *et al.*, "All-digital PLL for Bluetooth low energy using 32.768-kHz reference clock and  $\leq 0.45$ -V supply," *IEEE J. Solid-State Circuits*, vol. 53, no. 12, pp. 3660–3671, Dec. 2018.

29. Li Y., D. Zhao, W. A. Serdijn, "A Sub-Microwatt Asynchronous Level-Crossing ADC for Biomedical Applications," *IEEE Trans. Biomed. Circ. Syst.*, vol. 7, no. 2, pp. 149–157, 2013.
30. Lv L., Zhou X., Qiao Z. and Q. Li, "Inverter-Based Subthreshold Amplifier Techniques and Their Application in 0.3-V  $\Delta\Sigma$ -Modulators," *IEEE J. Solid-State Circuits*, vol. 54, no. 5, pp. 1436–1445, May. 2019.
31. Mark J. W. and T. D. Todd, "A nonuniform sampling approach to data compression," *IEEE Trans. Commun.*, vol. COM-29, pp. 24–32, Jan. 1981.
32. Marvasti F., *Nonuniform Sampling: Theory and Practice*. New York, NY, USA: Springer, 2001.
33. Melo A. de J. Paulino L., N., and J. Goes, "Continuous-Time Delta-Sigma Modulators Based on Passive RC Integrators," *IEEE Trans. Circ. Syst. I*, vol. 65, no. 11, pp. 3662–3674, Nov. 2018.
34. Mercier P. P. *et al.*, "A Sub-nW 2.4 GHz Transmitter for Low Data-Rate Sensing Applications," *IEEE J. Solid-State Circuits*, vol. 49, no. 7, pp. 1463–1474, Jul. 2014
35. Moore G. E., "Cramming more components onto integrated circuits," *Electronics*, vol. 38, no. 8, Apr. 1965.
36. Muntal P. L., and Jorgensen I. H. H., "34.3 fJ/conv.-step 8-MHz Bandwidth Four-Order Pseudo-Differential Ring-Amplifier-Based Continuous-Time Delta-Sigma ADC," *IEEE Solid-State Circuits Letters*, vol. 1, no. 10, pp. 198–201, Oct. 2018
37. Nowacki B., Paulino N., and J. Goes, "A 1V 77dB-DR 72dB-SNDR 10MHz-BW 2-1 MASH CT  $\Delta\Sigma$ ," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, CA, USA, Feb. 2016, pp. 274-275.
38. Park J., Hwang Y., and Jeong D., "A 0.4-to-1 V Voltage Scalable  $\Delta\Sigma$  ADC With Two-Step Hybrid Integrator for IoT Sensor Applications in 65-nm LP CMOS," *IEEE Trans. Circ. Syst. II*, vol. 64, no. 12, pp. 1417–1421, Dec. 2017.
39. Patil S., A. Ratiu, D. Morche, and Y. Tsvividis, "A 3–10 fJ/conv-ste error-shaping alias-free continuous-time ADC," *IEEE J. Solid-State Circuits*, vol. 51, no. 4, pp. 908–918, Apr. 2016.

40. Peluso V. *et al.*, “A 900-mV low-power  $\Delta\Sigma$  A/D converter with 77-dB dynamic range,” *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1887–1897, Dec. 1998.
41. Peluso V., Steyaert M. S. J., and Sansen W., “A 1.5-V-100- $\mu$ W  $\Delta\Sigma$  Modulator with 12-b dynamic range using the switched-opamp technique,” *IEEE J. Solid-State Circuits*, vol. 32, no. 7, pp. 943–952, Jul. 1997.
42. Pena-Perez A., Bonizzoni E., and Maloberti F., “A 88-dB DR, 84-dB SNDR very lowpower single op-amp third-order  $\Sigma\Delta$  modulator,” *IEEE J. Solid-State Circuits*, vol. 47, no. 9, pp. 2107–2218, Sep. 2012.
43. Qazi F., and J. J. Dabrowski, “Passive SC Sigma Delta Modulators Revisited: Analysis and Design Study,” *IEEE J. Emerg. Sel. Topics Circuits Syst.*, vol. 5, no. 4, pp. 624–636, Dec. 2015.
44. Qi L. *et al.*, “A 4.2-mW 77.1-dB SNDR 5-MHz BW DT 2-1 MASH  $\Delta\Sigma$  Modulator With Multirate Opamp Sharing,” *IEEE Trans. Circ. Syst. I*, vol. 64, no. 10, pp. 2641–2654, Oct. 2017.
45. Romberg J. and M. B. Wakin, “Compressed sensing: A tutorial,” in *Proc. IEEE Statistical Signal Processing Workshop*, Aug. 2007.
46. Sadollahi M. and G. Temes, “Passive 3rd Order Delta-Sigma ADC with VCO-based Quantizer,” *Circuits and Systems (MWSCAS) 2017 IEEE 60th International Midwest Symposium on*, pp. 743-746, 2017.
47. Sadollahi M., Temes G. C., “A 10-MHz BW 77.9 dB SNDR DT MASH  $\Delta\Sigma$  ADC With NC-VCO-Based Quantizer and OPAMP Sharing,” *IEEE Trans. Circ. Syst. I*, vol. 66, no. 9, pp. 3384–3392, Sep. 2019.
48. Sasaki H. *et al.*, “1.5 nm direct-tunneling gate oxide Si MOSFET’s,” *IEEE Trans. Electron Devices*, vol. 43, no. 8, pp. 1233–1242, Aug. 1996.
49. Sayiner N., H. Sorensen, and T.R. Viswanathan, “A level-crossing sampling scheme for A/D conversion,” *IEEE Trans. Circuits Syst. II*, vol. 43, no. 4, pp. 335–339, 1996.
50. Suguro T., and Ishikuro H., “Low Power DT Delta-Sigma Modulator with Ring Amplifier SC-Integrator,” in *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, Jun. 2016, pp. 2006–2009.

51. Taur Y. *et al.*, “CMOS scaling into the nanometer regime,” *Proceedings of the IEEE*, vol. 85, no. 4, pp. 486–504, Apr. 1997
52. Teng K. H., Heng C. H., “A 370-pJ/b Multichannel BFSK/QPSK Transmitter Using Injection-Locked Fractional-N Synthesizer for Wireless Biotelemetry Devices,” *IEEE J. Solid-State Circuits*, vol. 52, no. 3, pp. 867–880, Mar. 2017.
53. Tian Z., R. Ying, P. Liu, G. Wang, Y. Lian, “A low power level-crossing ADC for wearable wireless ECG sensors,” *Proc. Annu. Int. Conf. IEEE Eng. Med. Biol. Soc.*, pp. 3543-3546, Aug. 2016.
54. Tohidian M., I. Madadi, and R. B. Staszewski, “Analysis and Design of a High-Order Discrete-Time Passive IIR Low-Pass Filter,” *IEEE J. Solid-State Circuits*, vol. 49, no. 11, pp. 2575–2587, Nov. 2014.
55. Trakimas M. and S. R. Sonkusale, “An Adaptive Resolution Asynchronous ADC Architecture for Data Compression in Energy Constrained Sensing Application,” *IEEE Trans. Circ. Syst. I*, vol. 58, no. 5, pp. 921–934, May. 2011.
56. Tsvividis Y. *et al.*, “Event-based Data Acquisition and Digital Signal Processing in Continuous Time,” in *Event-Based Control and Signal Processing*, 1st ed., Boca Raton, FL, USA: CRC Press, 2016, pp. 353–378.
57. Un K., P. Mak, and R. P. Martins, “A 53-to-75-mW, 59.3-dB HRR, TV-Band WhiteSpace Transmitter Using a Low-Frequency Reference LO in 65-nm CMOS,” *IEEE J. Solid-State Circuits*, vol. 48, no. 9, pp. 2078–2089, Sep. 2013.
58. Verma N. *et al.*, “A Micro-Power EEG Acquisition SoC With Integrated Feature Extraction Processor for a Chronic Seizure Detection System,” *IEEE J. Solid-State Circuits*, vol. 45, no. 4, pp. 804–816, Apr. 2010.
59. Wang T. *et al.*, “A Level-Crossing Analog-to-Digital Converter With Triangular Dithering,” *IEEE Trans. Circ. Syst. I*, vol. 56, no. 9, pp. 2089–2099, Sep. 2009.
60. Wiesbauer A., Straussnigg D., Hernandez L., F. Cardes, “System and method for an oversampled data converter,” U.S. Patent 2014 0 270 261, Sep. 18, 2014.
61. Wu C. W. and Y. Tsvividis, “An Event-driven Clockless Level-Crossing ADC With Signal-Dependent Adaptive Resolution,” *IEEE J. Solid-State Circuits*, vol. 48, no. 9, pp. 2180–2190, Sep. 2013.

62. Wu T. F., C. R. Ho and M. Chen, "A Flash-Based Non-Uniform Sampling ADC With Hybrid Quantization Enabling Digital Anti-Aliasing Filter," *IEEE J. Solid-State Circuits*, vol. 52, no. 9, pp. 2335–2349, Sep. 2017.
63. Wu T. F., M. Chen, "A VCO-Based Nonuniform Sampling ADC with Phase-Domain Level Crossing," *IEEE J. Solid-State Circuits*, vol. 54, no. 3, pp. 623–635, Mar. 2019.
64. Yamamoto K. and Carusone A. C., "A 1-1-1-1 MASH Delta-Sigma Modulator With Dynamic Comparaotr-based OTAs," *IEEE J. Solid-State Circuits*, vol. 47, no. 8, pp. 1866–1883, Aug. 2012.
65. Yang N., Henson W. K., and Wortman J. J., "A comparative study of gate direct tunneling and drain leakage currents in n-MOSFET's with sub-2 nm gate oxides," *IEEE Trans. Electron Devices*, vol. 47, no. 8, pp. 1636–1644, Aug. 2000.
66. Yang Y. K., J. Zhou, X. Lin, J. H. Cheong, W. L. Goh, "A 151-nW Adaptive DeltaSampling ADC for Ultra-Low Power Sensing Applications," *IEEE Trans. Circuits Syst. II*, vol. 63, no. 7, pp. 638–642, Jul. 2016.
67. Yazicioglu R. F., Kim S., Torfs T., Kim H., and C. Van Hoof, "A 30  $\mu$ W analog signal processor ASIC for portable biopotential signal monitoring," *IEEE J. Solid-State Circuits*, vol. 46, no. 1, pp. 209–223, Jan. 2011.
68. Yeknami A., F. Qazi, and A. Alvandpour, "Low-power DT  $\Delta\Sigma$  modulators using SC passive filters in 65 nm CMOS," *IEEE Trans. Circ. Syst. I*, vol. 61, no. 2, pp. 358–370, Feb. 2014.
69. Yoon Y., Lee K., Wang P. and Sun N., "A purely-VCO-based single-loop high-order continuous-time  $\Delta\Sigma$  ADC," in *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, Jun. 2014, pp. 926–929.
70. Young B., Reddy K., Rao S., Elshazly A., Anand T., and Hanumolu P. K., "A 75 dB DR 50 MHz BW 3rd order CT- $\Delta\Sigma$  modulator using VCO-based integrators," in *Symp. VLSI Circuits Dig. Tech. Papers*, Jun. 2014, pp. 1–2.
71. Zhang X. *et al.*, "A 2.89  $\mu$ W clockless wireless dry-electrode ECG SoC for wearable sensors," *IEEE Asian Solid-State Circuits Conference (ASSCC)*, pp. 1-4, 9-11 Nov. 2015.

72. Chae Y. and Han G., “Low Voltage, Low Power, Inverter-Based Switched-Capacitor Delta-Sigma Modulator,” *IEEE J. Solid-State Circuits*, vol. 44, no. 2, pp. 458–472, Feb. 2009.

## Додаток А

УДК 004.31

ІВАНОВ О. В., ЛИЧАК Д. О., НІЧЕПОРУК А. О.  
Хмельницький національний університет

### ДОСЛІДЖЕННЯ ПАСИВНОГО СИГМА-ДЕЛЬТА МОДУЛЯТОРА ДРУГОГО ПОРЯДКУ

*В роботі представлено архітектуру пасивного дельта-сигма модулятора з комутованим конденсатором, яка базується на техніці обертання із розподілом заряду, та яка дозволяє усунути міжступеневі ефекти навантаження, які є негативним чинником для традиційних пасивних модуляторів. Для поліпшення придушення шуму та стабільності роботи запропонованого модулятора до інтегратора 2-го ступеня додано незалежний додатковий шлях зворотного зв'язку та нульовий каскад.*

*Ключові слова:* Модулятор, Сигма-дельта модуляція, Компаратор, Фільтр

IVANOV O. V., LYCHAK D. O., NICHOPORUK A. O.  
Khmelnitskyi National University

### INVESTIGATION OF SECOND-ORDER PASSIVE SIGMA-DELTA MODULATOR

*The ever-increasing demands on the Internet of Things and portable devices are contributing to the development of the latest trends based on energy-efficient system design. This is further motivated by the relatively slow development of energy storage technologies and consumer expectations for their operation over time. To achieve low-cost large-scale integration, along with the use of acceptable digital energy efficiency, the Internet of Things and portable devices are usually integrated into deep nanoscale CMOS technology. However, it is quite difficult to implement high-performance operational amplifiers and comparators, which are necessary elements for most analog-to-digital converters (ADCs), in deep nanoscale CMOS, given the low natural gain of transistors and low supply voltage. Therefore, passive ADC topologies are an alternative to deep nanoscale CMOS to increase the overall energy efficiency of portable devices and the Internet of Things.*

*The paper presents the architecture of a second-order passive modulator which uses the technique of the charge-sharing rotation to suppress the effect of interstage loading in the circuit filter of a capacitor with switched condensation. An independent additional feedback path and an additional zero-input stage are added to the 2-nd stage of the low-pass filter and optimized by behavioral simulation to increase noise attenuation in the quantization range and improve stability.*

*Keywords:* Modulator, Sigma-delta modulation, Comparator, Filter

**Вступ.** Постійно зростаючі вимоги до мереж Інтернету речей (IoT) та портативних пристроїв сприяють розвитку новітніх тенденцій, що засновані на енергоефективному проектуванні систем. Це додатково мотивовано відносно повільним розвитком технологій накопичення енергії та сподіваннями споживачів на їх експлуатацію протягом тривалого часу. Для досягнення недорогої широкомасштабної інтеграції, разом із використанням прийнятної цифрової енергоефективності, мережі Інтернету речей та портативні пристрої зазвичай інтегруються в глибоку наномасштабну технологію КМОН (deep nanoscale CMOS technology). Однак, досить складно впровадити високопродуктивні операційні підсилювачі та компаратори, які є необхідними елементами для більшості аналого-цифрових перетворювачів (АЦП), в глибокі наномасштабні КМОН, враховуючи низький власний коефіцієнт підсилення транзисторів та занижену напругу живлення. Тому пасивні топології АЦП є альтернативою глибоких наномасштабних КМОН для підвищення загальної енергоефективності портативних пристроїв та мереж Інтернету речей.

**Сигма-дельта модуляція.** Для точної обробки електричних сигналів використовуються цифрові методи, однак вимірювані фізичні величини, будь-які процеси у природі, людська мова являються аналоговими. Тому відповідні їм електричні сигнали, що отримуються в результаті зчитування (вимірювання), повинні пройти етап перетворення до цифрового виду. Перетворення здійснюється за допомогою аналогово-цифрових перетворювачів (АЦП), серед яких сигма-дельта АЦП, що володіють підвищеною точністю [3].

На рис. 1 наведено узагальнену структурну схему сигма-дельта модулятора. Розглянемо детальніше принцип її роботи.

Аналоговий вхідний сигнал (1) надходить на вираховувач, де з нього віднімається вихідний сигнал однобітного ЦАП зворотного зв'язку (що формує напругу  $+V_{ref}$  або  $-V_{ref}$ ), після чого отриманий сигнал (2) надходить в інтегратор. Інтегратор накопичує різницю між аналоговим вхідним сигналом (1) і вихідним сигналом однобітного ЦАП зворотного зв'язку ( $+V_{ref}$  або  $-V_{ref}$ ). Сигнал з виходу інтегратора (3) надходить на компаратор, який порівнює цей сигнал з нульовою опорною напругою. Вихідний стан компаратора (4) по такому сигналу фіксується D-тригером (5) для передачі на вихід модулятора через дискретні часові інтервали. Вихід D-тригера являє собою цифровий однобітний вихід сигма-дельта-модулятора. Цей вихідний сигнал також надходить на однобітний

ЦАП зворотного зв'язку, який може формувати тільки дві напруги (як правило, в якості ЦАП використовується аналоговий комутатор, що перемикає вихід між джерелами опорних напруг  $+V_{ref}$  і  $-V_{ref}$ ). Швидкість передачі вихідного потоку одиницьних даних визначається тактовою частотою модулятора.

Результат роботи сигма-дельта-модулятора є потік цифрових даних, який синхронізується тактовим сигналом модулятора. Середнє значення цих даних (обчислене в цифровій області) відповідає вхідному аналоговому напрузі. Це середнє значення обчислюється як відношення числа одиничних бітів до числа нульових бітів у вихідному потоці сигма-дельта-модулятора протягом заданої кількості періодів тактового сигналу.

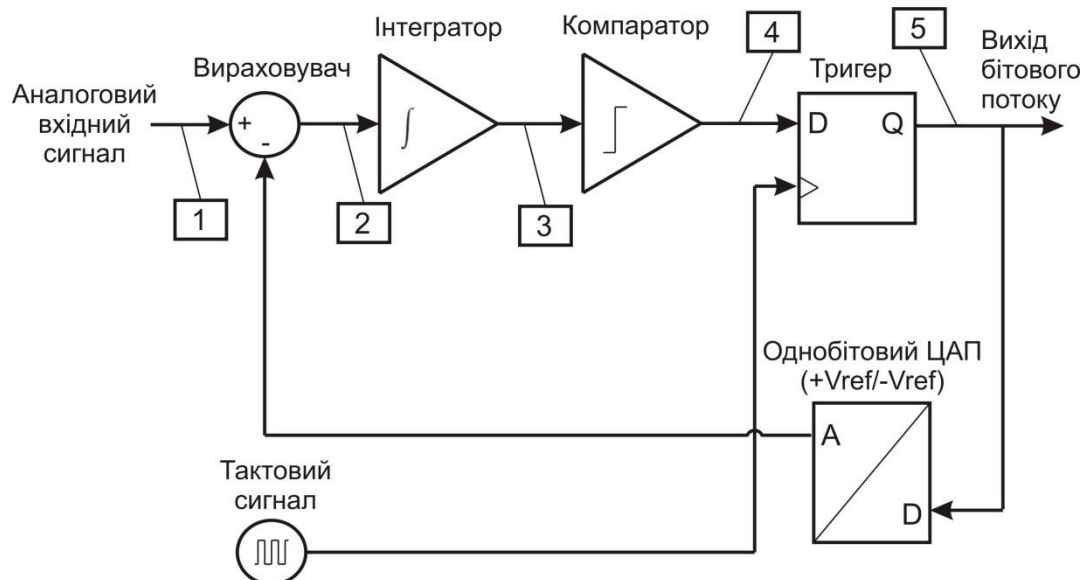


Рис. 1. Узагальнену структурну схему сигма-дельта модулятора

У наномасштабному КМОН через труднощі з реалізацією операційних підсилювачів та відносно високе енергоспоживання багатоступеневих підсилювачів були введені різні методи для зменшення кількості та енергоспоживання операційних підсилювачів в сигма-дельта АЦП. Зокрема, вони включають наступні техніки:

- комутованих операційних підсилювачів,
- техніку спільного використання підсилювачів,
- техніку заміни операційних підсилювачів,
- інтегратори на основі регулятора напруги (VCO) та пасивні інтегратори.

Комутована техніка операційного підсилювача. Операційні підсилювачі всередині інтеграторів працюють лише під час відповідної фази інтеграції, в той час як вони просто споживають статичну потужність. Натомість операційні підсилювачі можуть бути відключені під час інших фаз, для того щоб зменшити споживання енергії.

Це можна зробити, зарядивши конденсатор для відбору проб на наступному етапі та інтегрувавши його протягом тієї ж фази [4-7]. Однак час спрацювання комутованих операційних підсилювачів зменшує доступний час встановлення сигналу, а отже, збільшує вимогу до смуги пропускання [4].

Техніка спільного використання операційних підсилювачів. Техніка спільного використання операційних підсилювачів може ділити операційні підсилювачі між складовими інтеграторами та суматорами під час різних фаз усередині сигма-дельта модулятора. Тому його можна використовувати для підвищення енергоефективності системи [4, 8, 9]. Однак окремий підсилювач у роботі надмірно обмежений специфікаціями шуму та врегулювання інтегратора 1-го ступеня, які є досить непотрібними для наступних двох етапів [9].

Для належного розподілу операційних підсилювачів між різними каскадами також слід використовувати складну логіку управління синхронізацією. Крім того, через вузол заземлення спільних операційних підсилювачів система страждає від ефекту пам'яті спільних операційних підсилювачів, що погіршує загальну продуктивність всієї системи.

Техніка заміни операційного підсилювача. Техніка заміни операційного підсилювача намагається замінити операційні підсилювачі альтернативними блоками, такими як детектори нульового перетину [10], динамічні компаратори [11], інвертори [12] та кільцеві підсилювачі. Сигма-дельта модулятори з детекторами нульового перетину, можуть навряд чи досягти високої роздільної здатності через перевищення напруги, що спричинене затримками переходу від нуля до стабільного результату виявлення. В той час як точність сигма-дельта модуляторів, що використовують інтегратори на основі динамічних компараторів та інверторів, в основному погіршується через їх обмежений коефіцієнт посилення постійного струму та зміщення, яке передається на вхід.

Для кільцевих підсилювачів, основним недоліком їх використання є погана стабільність. Більше того, через їх нелінійну природу та кілька діючих областей, досить складно розробити стабільний кільцевий підсилювач.

Інтегратори на основі регулятора напруги (VCO) та пасивні інтегратори. Альтернативний метод полягає у використанні інтегратора на основі регулятора напруги для заміни звичайних інтеграторів, що потребують

високопродуктивних операційних підсилювачів [13, 14]. Однак, при надходженні великих сигнали, лінійність генератора погіршується, що вимагає калібрування та, в загальному, обмежує точність АЦП.

Тому з метою усунення міжступеневих ефектів, які є негативним чинником для більшості традиційних пасивних модуляторів запропоновано структуру пасивного сигма-дельта модулятор другого порядку, що базується на техніці обертання із розподілом заряду.

**Структура та принцип роботи пасивного сигма-дельта модулятор другого порядку.** Спрощена схема запропонованого модулятора  $\Delta\Sigma$  другого порядку на основі обертання із розподілом заряду представлена на рис.1. Запропонований модулятор містить фільтр низької частоти другого порядку (PIR2), 1-бітний ЦАП із зворотнім зв'язком та компаратор.

Принцип роботи PIR2 фільтра заснований на дослідженні представлено у роботі [1, 2]. Це повністю пасивна топологія, яка уникає використання експлуатаційних або будь-яких активних підсилювачів і використовує лише конденсатори та перемикачі із КМОН структурою, що в свою чергу дозволяє запобігти будь-яким міжетапним ефектам навантаження. Протягом  $\Phi_1$ ,  $V_{IN}$  відбирається на конденсаторі  $C_S$ , а потім на протязі  $\Phi_2$  верхня пластина  $C_S$  з'єднується з верхньою пластинною  $C_{N1}$ , викликаючи розподіл заряду між  $C_S$  і  $C_{N1}$ . Тому в кінці  $\Phi_2$   $C_S$  і  $C_{N1}$  зберігають однакову інформацію про напругу. Отже, замість того, щоб використовувати  $C_{N1}$  для зарядки  $C_{S2}$ , а потім приймати  $C_{S2}$  для зарядки  $C_{N2}$ , PIR2 використовує  $C_S$  для безпосередньої зарядки  $C_{N2}$ . Коли заявляється  $\Phi_3$ ,  $C_S$  підключається до верхньої пластини  $C_{N2}$ , за допомогою якої інформація про напругу, що зберігається в  $C_S$ , ідентична інформації про напругу, що зберігається в  $C_{N1}$  в кінці  $\Phi_2$ , переходить до  $C_{N2}$  без втрат заряду в  $C_{N1}$ . На відміну від каскадно-пасивних інтеграторів SC, каскадно-пасивні інтегратори в PIR2 використовують один конденсатор дискретизації  $C_S$  між каскадами. З цієї причини PIR2 не проявляє будь-яких міжетапних ефектів навантаження, незважаючи на те, що використовуються два каскадні пасивні інтегратори.

На представленою рівні модулятора, протягом  $\Phi_1$ , різниця напруг між вхідним сигналом  $V_{IN}$  та виходом 1-бітового ЦАП зворотного зв'язку, що керується 1-бітовим виходом квантування,  $\bar{Y}$  та  $Y$  відбирається на конденсаторі  $C_S$ .

Враховуючи, що коливання сигналу напруги на вході попереднього підсилювача є досить малим (від десятків до кількох сотень мкВ), заряд пам'яті всередині  $C_S$  наприкінці  $\Phi_3_1$  є досить малим, щоб не впливати на осідання нового зразка. Протягом  $\Phi_2$  інформація про заряд, що зберігається на  $C_S$  і  $C_{N1}$ , передається та оновлюється, що реалізує дію пасивного інтегратора 1-го ступеня.  $\Phi_3_1$  та  $\Phi_3_2$  – це дві фази  $\Phi_3$ , що не перекриваються. Протягом  $\Phi_1$  верхні пластини  $C_S$ ,  $C_{N2}$  і конденсатор зворотного зв'язку  $C_{FB}$  з'єднані між собою, щоб розділити свої заряди. Це, у свою чергу, представляє дію інтегратора 2-го ступеня з додатковим незалежним зворотним шляхом. Компаратор порівнює коливання напруги на вході попереднього підсилювача і генерує вихід системи  $Y/\bar{Y}$  на нижньому краю  $\Phi_3_1$ . Протягом  $\Phi_3_2$  верхні пластини  $C_{N2}$  і  $C_{N2,Z}$  а з'єднуються між собою. Це додає нуль до передавальної функції інтегратора 2-го ступеня, що сприяє стабільності. Для того, щоб мінімізувати вхідний шум і максимізувати коефіцієнт підсилення компаратора, перед звичайним компактним динамічним фіксатором використовується каскад попереднього підсилювача. Враховуючи паразитний конденсатор  $C_P$  на вузлі з'єднання між конденсатором вибірки  $C_S$  та стримуючими конденсаторами, передавальна функція інтегратора 1-го ступеня  $H_1(z)$  та 2 ступеня  $H_2(z)$  може бути виражена наступними виразами:

$$H_1(z) = \frac{1}{\gamma + p + 1} \cdot z^{-1} \cdot \frac{1}{1 - \frac{r}{r + p + 1} \cdot z^{-1}} \quad (1)$$

$$H_2(z) = \frac{[1 - (1 - \zeta)z^{-1}] \cdot \frac{\rho}{\gamma + p + 1 + \beta} z^{-1}}{1 - \left(1 - \zeta \frac{1 + p + \beta}{\gamma + \rho + 1 + \beta}\right) z^{-1}} \quad (2)$$

де  $\gamma = C_{N2}/C_S$ ,  $\beta = C_{FB}/C_S$ ,  $\rho = C_P/C_S$ , а  $\zeta = C_{N2} / (C_{N2} + C_{N2,Z})$ , що впливає на положення нуля для передавальної функції.

Вираз  $\zeta \frac{1+p+\beta}{\gamma+\rho+1+\beta}$  в знаменнику можна розглядати як показник того, наскільки віддалений полюс від одиничного кола ( $z=1$ ). Розташування полюса, таким чином, визначається  $\gamma$ ,  $\beta$ ,  $\rho$  та  $\zeta$ . Зменшуючи  $\zeta$ , полюс можна перемістити ближче до одиничного кола.

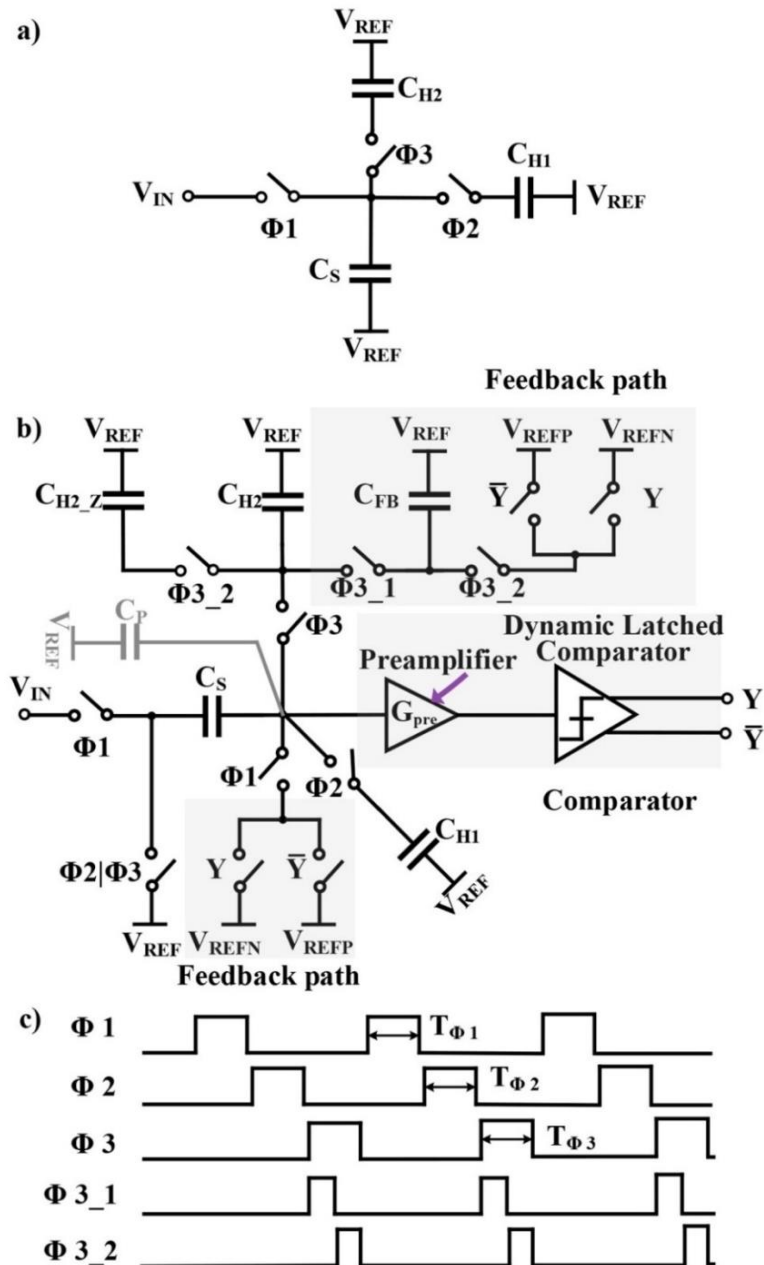


Рис. 1. Фільтр ПІР2 на основі обертання з розподілом заряду (а), запропонований пасивний модулятор другого порядку (б) та його тимчасова діаграма (с)

**Висновки.** В роботі представлено архітектуру пасивного модулятора другого порядку, що використовує техніку обертання з розподілом заряду для придушення ефекту міжступеневого навантаження у фільтрі контуру конденсатора з комутованою конденсацією. Незалежний додатковий шлях зворотного зв'язку та додатковий етап, що вводять нуль у функцію передачі, додаються до 2-го ступеня низько-частотного фільтру та оптимізовані за допомогою моделювання поведінкового моделювання, щоб збільшити послаблення шумів в діапазоні квантування і поліпшити стабільність роботи.

### Література

1. M. Tohidian, I. Madadi and R. B. Staszewski, "Analysis and design of a high-order discrete-time passive IIR low-pass filter," *IEEE J. Solid-State Circuits*, vol. 49, no. 11, pp. 2575–2587, Nov. 2014
2. H. Wang, F. Schembari and R. B. Staszewski, "Passive SC  $\Delta\Sigma$  Modulator Based on Pipelined Charge-Sharing Rotation in 28-nm CMOS," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 2, pp. 578–589, 2020, doi: 10.1109/TCSI.2019.2944467.
3. В. С. Голуб "Сигма-дельта-модуляторы и АЦП", *Технология и конструирование в электронной аппаратуре*, №4, с. 35–41, 2003.
4. I. Chao et al., "Analysis of Splittable Amplifier Technique and Cancellation of Memory Effect for Opamp Sharing," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 25, no. 2, pp. 621–634, 2017.

5. H. C. Kim, D. K. Jeong, and W. Kim, "A partially switched-opamp technique for high-speed low-power pipelined analog-to-digital converters," *IEEE Trans. Circ. Syst. I*, vol. 53, no. 4, pp. 501–801, Apr. 2006.
6. V. Peluso et al., "A 900-mV low-power  $\Delta\Sigma$  A/D converter with 77-dB dynamic range," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1887–1897, 1998.
7. V. Peluso, M. S. J. Steyaert, and W. Sansen, "A 1.5-V-100- $\mu$ W  $\Delta\Sigma$  Modulator with 12-b dynamic range using the switched-opamp technique," *IEEE J. Solid-State Circuits*, vol. 32, no. 7, pp. 943–952, 1997.
8. A. Pena-Perez, E. Bonizzoni, and F. Maloberti, "A 88-dB DR, 84-dB SNDR very lowpower single op-amp third-order  $\Sigma\Delta$  modulator," *IEEE J. Solid-State Circuits*, vol. 47, no. 9, pp. 2107–2218, Sep. 2012.
9. M. Sadollahi, G. C. Temes, "A 10-MHz BW 77.9 dB SNDR DT MASH  $\Delta\Sigma$  ADC With NC-VCO-Based Quantizer and OPAMP Sharing," *IEEE Trans. Circ. Syst. I*, vol. 66, no. 9, pp. 3384–3392, 2019.
10. J. Park, Y. Hwang, and D. Jeong, "A 0.4-to-1 V Voltage Scalable  $\Delta\Sigma$  ADC With Two-Step Hybrid Integrator for IoT Sensor Applications in 65-nm LP CMOS," *IEEE Trans. Circ. Syst. II*, vol. 64, no. 12, pp. 1417–1421, 2017.
11. M. C. Huang and S. I. Liu, "A Fully Differential comparator-Based Switched-Capcitor  $\Delta\Sigma$  Modulator," *IEEE Trans. Circ. Syst. II*, vol. 56, no. 5, pp. 69–373, 2005.
12. T. Christen, "A 15-bit 140- $\mu$ W Scalable-Bandwidth Inverter- ased  $\Delta\Sigma$  Modulator for a MEMS Microphone With Digital Output," *IEEE J. Solid-State Circuits*, vol. 48, no. 7, pp. 1605–1614, July. 2013. Bibliography 103
13. A. Babaie-Fishani and P. Rombouts, "A mostly digital VCO-based CT-SDM with third-order noise shaping," *IEEE J. Solid-State Circuits*, vol. 52, no. 8, pp. 2141–2153, 2017.
14. F. Cardes et al., "0.04-mm<sup>2</sup> 103-dB-A Dynamic Range Second-Order VCO-Based Audio  $\Sigma\Delta$  ADC in 0.13- $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, vol. 53, no. 6, pp. 1731–1742, 2019

Додаток Б  
Презентація доповіді

Хмельницький національний університет  
Факультет програмування та комп'ютерних і телекомунікаційних систем  
Кафедра комп'ютерної інженерії та системного програмування

«Цифровий квазірівневий дельта-модулятор  
з алгоритмом адаптивного дозволу»

Студента 2 курсу, групи КІм-19-1  
Личака Даниїла Олександровича

Хмельницький  
2021

## МЕТА РОБОТИ

дослідження програмного забезпечення процесу модернізації телефонної мережі загального користування на базі SIP-адаптора, обмежень, що існують у звичайних пасивних модуляторах та звичайних аналого-цифрових перетворювачів.

## ЗАДАЧІ ДОСЛІДЖЕННЯ:

- 1 Провести аналіз системного рівня дельта-модулятора
- 2 Провести аналіз та розробку пасивних модуляторів
- 3 Представити реалізацію дельта-модулятора
- 4 Розробити та вдосконалити пропозиції щодо досліджень

## ОБ'ЄКТ ДОСЛІДЖЕННЯ

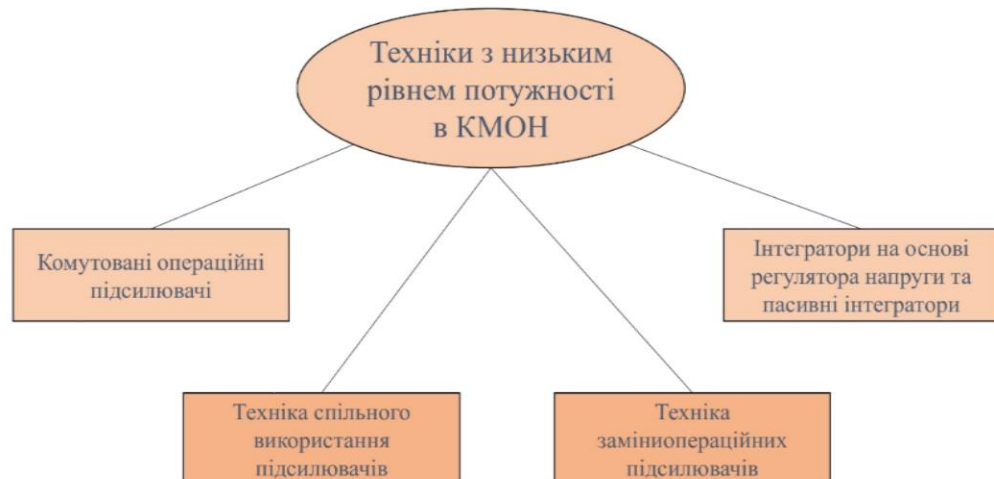
аналогово-цифрові перетворювачі малої потужності в наномасштабній КМОН як система взаємопов'язаних складових та їх властивостей

## ПРЕДМЕТ ДОСЛІДЖЕННЯ

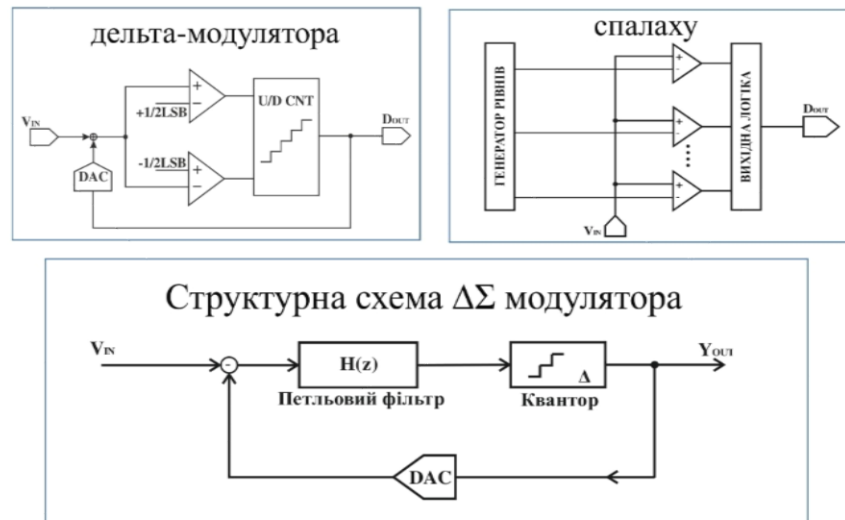
процес програмного забезпечення модернізації телефонної мережі та реалізація дельта-модулятора

## НАУКОВА НОВИЗНА ОДЕРЖАНИХ РЕЗУЛЬТАТІВ

- 1 Досліджено обмеження, які зазвичай існують у звичайних пасивних модуляторах
- 2 Запропоновано та впроваджено топології для подолання обмежень у процесах
- 3 Запропоновано дельта-модулятор quasi-LC, який забезпечує пряму реалізацію алгоритмів в цифровій області
- 4 Розроблено пропозиції та рекомендації щодо досліджень



Звичайний АЦП на основі:



## Основні рівняння 2 розділу

Функція передачі сигналу  $\Delta\Sigma$  модулятора:

$$STF(z) = \frac{H(z)}{1 + H(z)}$$

Функція передачі шуму квантування  $\Delta\Sigma$  модулятора :

$$NTF(z) = \frac{H(z)}{1 + H(z)}$$

Функція передачі сигналу модулятора  $\Delta\Sigma$  другого порядку C1FB:

$$STF(z) = \frac{H_1 H_2 G}{1 + H_1 H_2 G z^{-1} + \beta H_2 G z^{-1}}$$

Функція передачі шуму квантування модулятора  $\Delta\Sigma$  другого порядку C1FB:

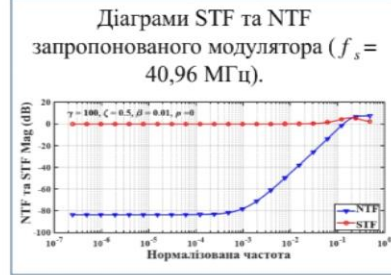
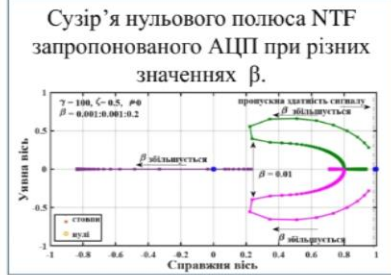
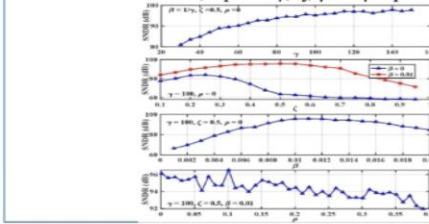
$$NTF(z) = \frac{H_1 H_2 G}{1 + H_1 H_2 G z^{-1} + \beta H_2 G z^{-1}}$$

Поліус лінійної частоти:

$$f_{-3dB} \approx \frac{f_s}{2\pi} \cdot \left( \frac{C_{S1}/C_{H1}}{1 + GA + \frac{Cs}{CH1} + Cp/CH1} \right)$$

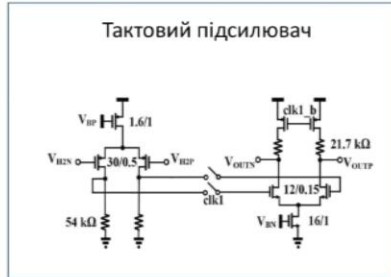
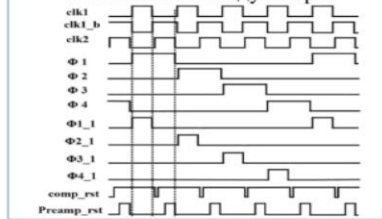
## Оптимізація параметрів дельта-модулятора

SNDR запропонованого АЦП, отриманий за допомогою моделювання, проти  $\gamma$ ,  $\zeta$ ,  $\beta$  та  $\rho$  при OSR 256.



## Впровадження схеми та «конвеєрний» фільтр низьких частот

Часова діаграма запропонованого пасивного  $\Delta\Sigma$  модулятора.



## Алгоритм адаптивного дозволу (AR)

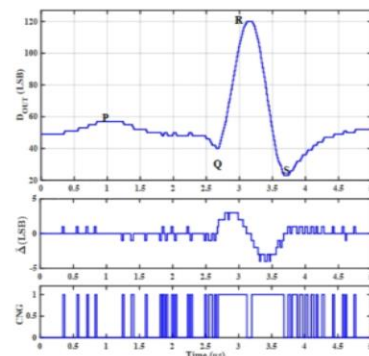
Пропускна здатність сигналу є верхньою межею при:

$$BW_{max} = \frac{\Delta}{2\pi \cdot t_{Lmax} \cdot A_{-3dB}}$$

Розглядаючи вхідний синусоїдальний сигнал  $-3dB$  з частотою, рівною  $BW$ , пропускну здатність АЦП можна розрахувати як:

$$\Delta_{max} \cdot fCLK = \max\left\{\frac{\delta}{\delta t} [A_{-3dB} \cdot \sin(2\pi \cdot BW \cdot t)]\right\}$$

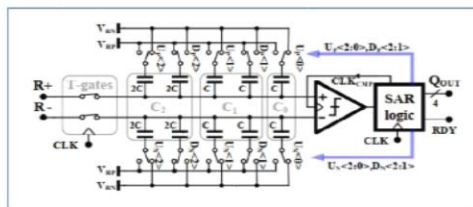
$$BW = \frac{\Delta_{max} \cdot fCLK}{2\pi \cdot A_{-3dB}} = \frac{L \cdot \Delta_{min} \cdot fCLK}{2\pi \cdot A_{-3dB}}$$



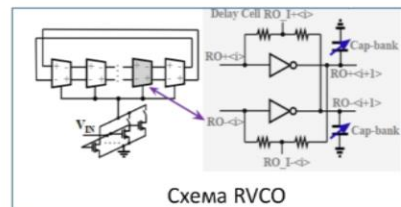
Вимірюваний цифровий вихід (Dout) та вихідні сигнали на основі подій ( $\Delta$  та CNG) на прикладі схеми сигналу ЕКГ, що генерується з довільним генератором сигналу.

## Квантор залишків

На основі SAR



На основі VCO



### Переваги

Краща енергоефективність

Потребує меншої налаштованості

Більш високий рівень опору

Уникає погіршення SNDR на низьких частотах

## Висновки

- Була розроблена пасивна реалізація АЦП Delta Sigma ( $\Delta\Sigma$ ) для програм IoT з високою роздільною здатністю
- Звичайні пасивні  $\Delta\Sigma$  модулятори та міжступеневі ефекти навантаження були проаналізовані
- Представлено ADC на основі рівня квантування залишків з адаптивною роздільною здатністю квазірівневого перехрещення quasi-LC.
- Було досліджено теоретичний динамічний діапазон (DR) LC АЦП
- Реалізація з квантовачем залишків на основі SAR забезпечує хороше енергоспоживання, яке залежить від вхідного сигналу

**Anti-Plagiarism v-15.257****Максимальное совпадение с одним документом 2.0%**

Словари проверки: en\_US, ru\_RU, ua\_UA. Ошибок в документах: 11%

ID: 91180 Название: Цифровий квазірівневий дельта-модулятор з алгоритмом адаптивного дозволу Добавлено в БД: 2021-05-24 Авторы: Личак Д.О. Руководители: Іванов О.В. Консультанты: Опоненты:	Документ		Суммарное совпадение по Базе Данных	
	Символы	Лексемы	Символы	Лексемы
	90709	618	2349 (3%)	34 (6%)

## Источник плагиата

ID	Описание	Наличие плагиата в документе	
		Символы	Лексемы



Ім'я користувача:  
Кафедра КІ

Дата перевірки:  
24.05.2021 12:18:33 EEST

Дата звіту:  
24.05.2021 12:20:54 EEST

ID перевірки:  
1007988661

Тип перевірки:  
Doc vs Internet + Library

ID користувача:  
100005591

Назва документа: Цифровий квазірівневий дельта-модулятор з алгоритмом адаптивного дозволу

Кількість сторінок: 75 Кількість слів: 14994 Кількість символів: 106411 Розмір файлу: 1.68 MB ID файлу: 1008080733

## 9.62% Схожість

Найбільша схожість: 1.67% з джерелом з Бібліотеки (ID файлу: 1007657363)

7.24% Джерела з Інтернету 244

Сторінка 77

2.63% Джерела з Бібліотеки 83

Сторінка 80

## 0% Цитат

Вилучення цитат вимкнено

Вилучення списку бібліографічних посилань вимкнено

## 0% Вилучень

Немає вилучених джерел

## Модифікації

Виявлено модифікації тексту. Детальна інформація доступна в онлайн-звіті.

Замінені символи 42

## ХМЕЛЬНИЦЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ

## РЕЦЕНЗІЯ НА ДИПЛОМНУ РОБОТУ

Дипломник \_\_\_\_\_ студент групи КІ2м-19-1 Личак Д.О. \_\_\_\_\_

Тема «Цифровий квазірівневий дельта-модулятор з алгоритмом адаптивного дозволу» \_\_\_\_\_

Спеціальність 123 – Комп'ютерна інженерія \_\_\_\_\_

## Обсяг дипломної роботи:

Кількість листів креслень \_\_\_\_\_ 0 \_\_\_\_\_; кількість сторінок записки \_\_\_\_\_ 72 \_\_\_\_\_

1. Короткий зміст ДР та прийнятих рішень Представлена робота присвячена актуальній темі в області модернізації телефонної мережі загального користування і складається з наступних розділів: вступ, аналіз предметної області та постановка задачі, послідовність процесу модернізації системи, розробка програмного забезпечення для SIP-адаптера, реалізація системи та експерименти, висновки, додатки.

2. Висновок про відповідність ДР поставленому завданню Магістерська кваліфікаційна робота виконана у відповідності з завданням із дотриманням всіх вимог.

3. Характеристика виконання кожного розділу роботи, ступінь використання останніх досягнень науки і техніки і передових методів роботи: В першому розділі студент провів детальний аналіз процесу модернізації телефонної мережі загального користування, особливості і вимоги при виборі обладнання та програмного забезпечення для нього, на основі цього довів актуальність роботи і визначив вимоги для створюваної системи. В другому розділі на основі досліджених джерел було приведено архітектуру системи, її апаратну та програмну складову, детально розглянуто всі компоненти системи і їх взаємодія. Відповідно в третьому було розглянуто SIP-адаптери, їх особливості, та специфіку написання програмного забезпечення для цих адаптерів, описано інтеграцію в існуючу систему та приведено алгоритм роботи. У четвертому розділі автором описане програмне забезпечення та користувацькі інтерфейси, наведено експерименти, тестові кейси для тестування роботи системи, проаналізовано результати.

4. Позитивні сторони роботи До позитивних сторін роботи слід віднести актуальність даного напрямлення дослідження, деталізацію аналізу усіх розглянутих стратегій вирішення проблеми та поглиблене опрацювання всіх аспектів реалізації з практичним використанням запропонованого рішення.

5. Негативні сторони роботи \_\_\_\_\_ До негативних сторін роботи слід віднести недоліки по оформленню представленого матеріалу, що були виправлені.

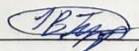
6. Оцінка графічного оформлення та пояснювальної записки роботи \_\_\_\_\_ Дані матеріали роботи є структурованими у чіткій та логічній формі та відображають послідовність виконання поставлених завдань. І хоча й в них було знайдено декілька стилістичних та орфографічних помилок, вони були пізніше усунені. Тому дане виконання пояснювальної записки та графічного оформлення заслуговує оцінки «добре».

7. Відгук про роботу в цілому \_\_\_\_\_ Загалом, зміст представленої роботи в повній мірі розкриває обрану тему. Дослідження, проведені в матеріалах є достатньо аргументованими. Прослідковуються високі теоретичні та практичні рівні у даному виконанні. Результатом проведення досліджень стали відповідні висновки і конкретні пропозиції щодо вдосконалення процесу модернізації телефонної мережі загального користування на базі SIP-адаптера

8. Інші зауваження \_\_\_\_\_

9. Оцінка дипломної роботи \_\_\_\_\_ Робота заслуговує оцінки «добре», а її автор – присвоєння кваліфікації «магістра» з комп'ютерної інженерії.  
РЕЦЕНЗЕНТ (прізвище, ім'я, по-батькові, посада, місце роботи) \_\_\_\_\_ Гурман Іван Васильович, кандидаг технічних наук, доцент кафедри інженерії програмного забезпечення ХНУ

“ 24 ” \_\_\_\_\_ травня \_\_\_\_\_ 2021 р.



(підпис)

Завідувачу кафедри КІСП  
д-р.техн.наук, проф. Говорушенко Т. О.

ЛИЧАК ДАНИЙЛ ОЛЕКСАНДРОВИЧ

ПІБ здобувача вищої освіти

ФПКТС, групи КІ2М-19

#### ЗАЯВА

З правилами чинного Положення «Про дотримання академічної доброчесності в Хмельницькому національному університеті» від 26.09.2020 (зі змінами від 26.11.2020), згідно з яким виявлення плагіату є підставою для відмови в допуску кваліфікаційної роботи до захисту та застосування заходів дисциплінарної та академічної відповідальності, ознайомлений (а). Про використання програмно-технічних засобів для перевірки кваліфікаційних робіт здобувачів вищої освіти на плагіатоповіщений (а) та надаю свою згоду на обробку та збереження університетом моєї роботи в інституційному репозитарії університету.

Також надаю університету право на передачу моєї роботи для обробки та збереження в базах даних програмно-технічних засобів (Unicheck та Anti-Plagiarism) та використання роботи для виявлення плагіату в інших роботах, які перевіряються програмно-технічними засобами та користувачами, що мають доступ до цих програмно-технічних засобів, виключно в обмежених цілях для виявлення плагіату в текстах робіт.

Робота для перевірки університетом надається в друкованому та електронному варіанті. Електронна версія моєї роботи збігається (ідентична) з друкованою.

24.05.2021

дата



підпис

**РІШЕННЯ ЕКСПЕРНОЇ КОМІСІЇ**  
**КАФЕДРИ КОМП'ЮТЕРНОЇ ІНЖЕНЕРІЇ ТА СИСТЕМНОГО ПРОГРАМУВАННЯ**  
**ПРО ДОПУСК КВАЛІФІКАЦІЙНОЇ РОБОТИ ДО ЗАХИСТУ**

Підтверджуємо ознайомлення з результатом звіту подібності щодо роботи, генерованого системою виявлення текстових збігів/ідентичності/схожості:

Назва: «Цифровий квазірівневий дельта-модулятор з алгоритмом адаптивного дозволу»

Спеціальність: 123 – Компютерна інженерія

Освітня програма: освітньо-наукова

Науковий керівник: Іванов О.В., к.т.н, доцент

Після аналізу звіту подібності зроблено такий висновок:

№	Висновок	Позначка про відповідність
1	Запозичення, виявлені в роботі, є законними і не є плагіатом. Робота приймається до захисту.	відповідає
2	Виявлені запозичення не є плагіатом, розміщені в розділах, які не описують безпосередньо авторське дослідження, але кількість цитат перевищує обсяг, виправданий поставленою метою роботи. Робота приймається до захисту, але має бути відкоригована. Відкоригований варіант має бути поданий на кафедру за 2 дні до захисту, разом із заявою щодо самостійності виконання письмової роботи та ідентичності друкованої та електронної версії роботи	
3	Виявлені запозичення не є плагіатом, але частково розміщені в розділах, які описують безпосередньо авторське дослідження, а кількість цитат перевищує обсяг, виправданий поставленою метою роботи. В зв'язку з цим мета роботи та поставлені завдання не були досягнені. Робота може бути допущена до захисту (наступного року) після того як буде відкоригована та допрацьована і успішно пройде повторну перевірку на академічний плагіат.	
4	Робота містить навмисні текстові спотворення, передбачувані спроби укриття запозичень або інші прояви академічного плагіату. Робота містить фабрикацію або фальсифікацію даних. Робота не допускається до захисту.	

Підтвердження:

Запозичення, виявлені в роботі, є законними і не є плагіатом, оскільки:

- 1) в тексті кваліфікаційної роботи системами перевірки на плагіат виявлено схожість з деякими документами в частині загальноживаних обов'язкових словосполучень в бланках (титулка, бланк завдання, в структурі підрозділів ВСТУПУ) та в назвах публікацій джерел посилання;
- 2) найбільшу схожість встановлено з одним документом і становить вона 0,9 відсотка в частині загальноприйнятої термінології;
- 3) збігів та ідентичності в тексті кваліфікаційної роботи немає, наявна лише схожість.

Сумарний обсяг всіх запозичень, визначений системою виявлення схожості, складає 5.22% і адресується до 433 першоджерела, що, з урахуванням наведених обґрунтувань, відповідає характеру наукового дослідження і свідчить на користь кваліфікаційної роботи.

Керівник роботи

Професор кафедри КІСП

Завідувач кафедри КІСП

О. В. Іванов

С. М. Лисенко

Т. О. Говорущенко