

О.І. ПОЛІКАРОВСЬКИХ, О.М. КОРОТИНСЬКИЙ
Хмельницький національний університет

МЕТОД ПІДВИЩЕННЯ ШВИДКОДІЇ ЦИФРОВИХ СИНТЕЗАТОРІВ ПРЯМОГО СИНТЕЗУ ШЛЯХОМ ЗАСТОСУВАННЯ ШВИДКОДІЮЧИХ СУМАТОРІВ У ЯДРІ СИНТЕЗАТОРА

Розглянуто основні типи суматорів, що використовуються для побудови фазового акумулятора DDS. Проаналізовано причини виникнення затримок в ядрі DDS, а також методи їх зменшення. Проведено аналіз затримки сигналу переносу в різних типах суматорів, обґрунтовано доцільність використання суматора із пропуском переносу зі змінною довжиною блоку. Наведено функціональну схему 16-розрядного суматора із пропуском переносу зі змінною довжиною блоку. Наведено структурну схему та опис макету для дослідження DDS-генераторів різних типів та їх параметрів. Застосування запропонованого суматора дозволить збільшити швидкодію акумулятора фази DDS синтезатора, без значного збільшення споживання енергії синтезатором.

Ключові слова: прямиий синтезатор частоти, акумулятор фази, суматор, затримка сигналу переносу, ядро синтезатора.

O.I. POLIKAROVSKYKH, O.M. KOROTINSKIY
Khmelnytsky National University

THE METHOD OF INCREASING THE SPEED OF SYNTHESIZER OF DIGITAL DIRECT SYNTHESIS BY APPLICATION OF HIGH-SPEED ADDERS IN THE CORE SYNTHESIZER

The main types of adders used to construct a DDS phase accumulator are considered. The reasons for the occurrence of delays in the DDS core and the methods of their reduction are analyzed. The principle of DDS synthesizer is given, as well as its structural units are described. The attention is paid to the importance of studying ways to reduce the delay time when calculating the phase code in the phase accumulator. The analysis of delay of the transfer signal in various types of adders was carried out, the expediency of using the adder with a transfer delay with variable length of the block was substantiated. The functional diagram of a 16-bit adder with a transport delay with a variable length of the block is given. The analysis of delay of a transfer signal in various types of adders was carried out. The structural diagram and description of the model for the study of different types of DDS generators and their parameters are presented. The circuit diagram of the experimental layout of the direct synthesis synthesizer is given. His work principle is described. The use of an open platform software platform as the basis of the synthesizer control system is commonly used. The main functions and parts of the experimental layout are described. Describes the principle of the layout, its main characteristics. Grounded using open hardware and software platform as the basis for building a laboratory model. The application of the proposed adder will increase the performance of the DDS phase accumulator of the synthesizer, without significantly increasing the power consumption of the synthesizer. The use of complements of the classical numerical basis of maximum speed in the core of the synthesizer of direct synthesis will allow to create cheap and simple in designing and manufacturing integrated circuits synthesizers, and increase the number of areas of their application.

Keywords: direct frequency synthesizer (DDS), phase accumulator, adder, carry signal delay, core synthesizer.

Постановка задачі

Розвиток сучасної радіоелектроніки рухається в напрямку поступової заміни аналогових систем на цифрові. Одним із прикладів є стрімкий розвиток DDS-синтезаторів, які мають багато переваг перед аналоговими синтезаторами та синтезаторами на основі ФАПЧ [1]. Найважливішими перевагами DDS над іншими системами є неперервність сигналу при переналаштуванні частоти, висока стабільність генерованої частоти, а також можливість керування параметрами вихідного сигналу за допомогою мікроконтролерів та комп'ютерних систем. Але є один важливий недолік синтезаторів DDS, який обмежує сферу їх застосування. Мова йде про обмеженість частотного діапазону DDS синтезаторів, через затримку формування адреси комірки ПЗП, яка виникає через затримку переносу в суматорі акумулятора фази DDS. Завдання роботи є виявлення оптимальної структури суматора акумулятора фази з точки зору мінімізації часу затримки сигналу переносу у ядрі синтезатора.

Аналіз досліджень та публікацій

В ідеальному варіанті максимальна вихідна частота сигналу, синтезованого цифровим синтезатором f_{max} згідно теореми Котельникова буде визначатись:

$$f_{max} = \frac{f_t}{2} \quad (1)$$

де f_t – тактова частота, або частота опорного генератора.

На рис. 1 наведено структурну схему прямого цифрового синтезатора з акумулятором фази. Принцип його роботи наступний. На вхідний регістр синтезатора подається код частоти, який з нього потрапляє на акумулятор фази. Акумулятор фази складається із суматора та регістра, в якому зберігається код поточної комірки пам'яті ПЗП. Цей код за зворотнім зв'язком потрапляє на вхід суматора, в якому відбувається підсумовування коду поточної комірки ПЗП разом із кодом частоти. Таким чином визначається з якої наступної комірки буде зчитаний код амплітуди, який записаний в ПЗП. Зазвичай в ПЗП записується сукупність кодів амплітуди, які відповідають четверті синусоїди, таким чином ПЗП виконує операцію перетворення фаза/амплітуда. Код амплітуди з ПЗП передається на вхід цифро-аналогового

перетворювача який перетворює цифрові вибірки амплітуди в аналогове значення амплітуди. ФНЧ обмежує смугу пропускання вихідної частоти.

Таким чином, максимальна частота буде визначатись за формулою (1), якщо відсутня затримка при проведенні операції підсумовування в суматорі акумулятора фази.

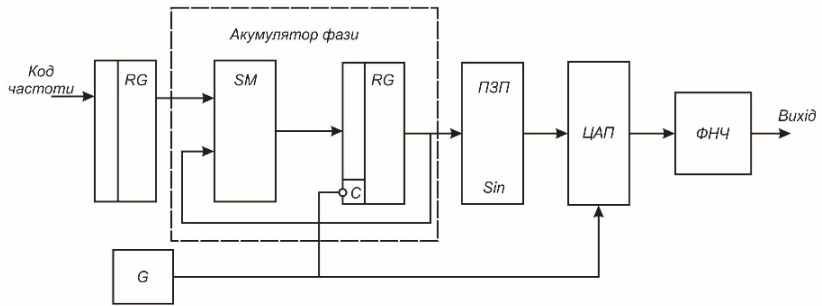


Рис. 1. Структурна схема прямого цифрового синтезатора з акумулятором фази

Крок перебудови частоти буде визначатись за формулою (2).

$$\Delta f = \frac{f_t}{2^N} \quad (2)$$

Очевидно, що паралельний суматор має більшу швидкодню ніж послідовний. Розглянемо найпростіший варіант паралельного суматора із послідовним переносом, або RCA (рис. 2) [2].

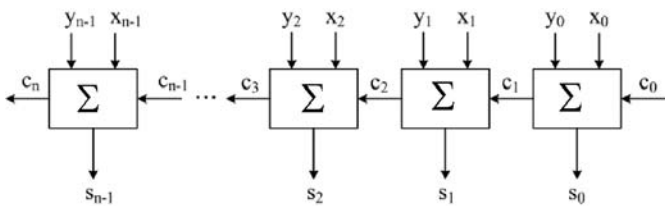


Рис. 2. Багаторозрядний паралельний n-бітний суматор із послідовним переносом [2]

Такий суматор складається із набору однорозрядних суматорів, кількість яких обирається в залежності від розрядності чисел, які необхідно підсумовувати. Кожен суматор підсумовує пару бітів вхідних чисел із врахуванням переносу.

Для схеми рис.2 час підсумовування в загальному випадку буде рівний:

$$t_s = nt_d \quad (3)$$

де t_s – час проведення операції додавання; n – розрядність суматора; t_d – час затримки передачі сигналу переносу до виходу суматора з набору.

Таким чином, для додавання двох 32-бітних чисел необхідно використати 32 однорозрядних суматора.

Перенос формується, якщо обидва доданки є логічними «1», вхідний перенос передається, якщо один із доданків є 1, а інший 0. Таким чином сигнал переносу c_{i+1} на i -му кроці буде визначатись за формулою (4):

$$c_{i+1} = x_i + (x_i \oplus y_i)c_i \quad (4)$$

Як вказано вище, для реалізації 32-розрядного суматора необхідно 32 однорозрядних суматора, таким чином, видно, що із зростанням розрядності ростуть апаратні затрати на виконання такого пристрою. За рахунок послідовного переносу RCA суматор по швидкодії буде близький до повністю послідовного суматора.

Таким чином, при проектуванні суматора для ПЦС (прямого цифрового синтезу) необхідно рухатись одночасно в двох напрямках: спрощення структури суматора та прискорення швидкодії за рахунок зменшення затримки сигналу переносу.

Розглянемо суматор CLA [3]. Схема суматора з паралельним переносом (рис.3) складається з декількох суматорів з меншою розрядністю і схеми прискореного переносу.

У загальному випадку для сигналу переносу i -го розряду справедливо співвідношення:

$$C_i = G_{i-1} + P_{i-1} \cdot C_{i-1}, \quad (5)$$

$$G_i = A_{i-1} \cdot B_{i-1}, \quad (6)$$

$$P_i = A_{i-1} + B_{i-1}. \quad (7)$$

Сигнал $C_i = G_{i-1} + P_{i-1} \cdot C_{i-1}$ (5) називають функцією генерації переносу. Сигнал P_i показує, чи передається отриманий в молодшому розряді сигнал перенесення C_i далі, тому він називається функцією поширення переносу.

Як впливає з наведених виразів, час формування сигналу перенесення в будь-який розряд за допомогою допоміжних функцій G_i і P_i визначається тільки часом затримки поширення сигналу на двох логічних елементах І та АБО, де обчислюється значення.

Архітектура Брента-Кунга є також схемою з прискореним переносом, але оптимізованою по площі інтегральної схеми за рахунок невеликого зниження швидкодії [3].

Крім суматорів із прискореним переносом, існують також схеми суматорів із пропуском переносу. Розглянемо докладніше декілька основних підходів до проектування таких суматорів.

Суматор умовного підсумовування (рис. 4) формує два набори виходів для кожної групи k -біт операндів.

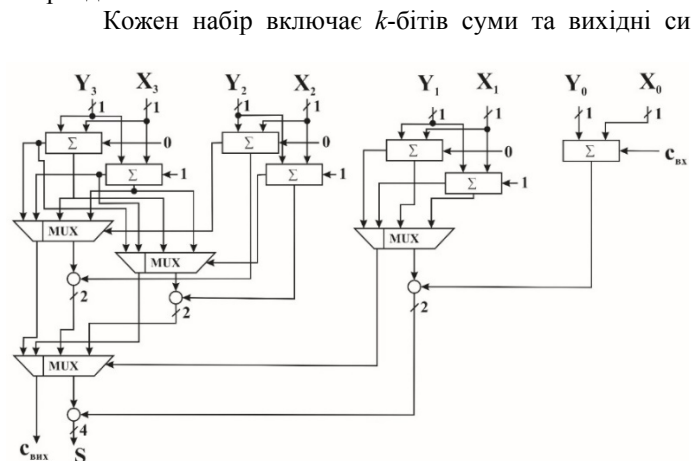


Рис. 4. 4-бітний суматор умовного підсумовування [2]

суматора і, відповідно, зростання споживання енергії.

В основі суматора із вибором переносу (рис.5) лежить принцип схожий на суматор умовного підсумовування. Кожна група обчислює дві групи біт суми і сигналів переносу. Одна група формується для випадку коли вхідний сигнал переносу дорівнює нулеві, а інша група для випадку коли сигнал переносу дорівнює одиниці. Коли вхідний сигнал переносу в групі визначено, значення суми вибирається із двох станів. На відміну від суматора умовного підсумовування, розміри k -ї групи вибирається так що вирівняти затримку біжучого переносу в межах груп і затримку у ланцюгові вибору переносу від першої до k -ї групи. У цьому суматорі довжини груп відповідають простій арифметичній прогресії 1, 1, 2, 3,...

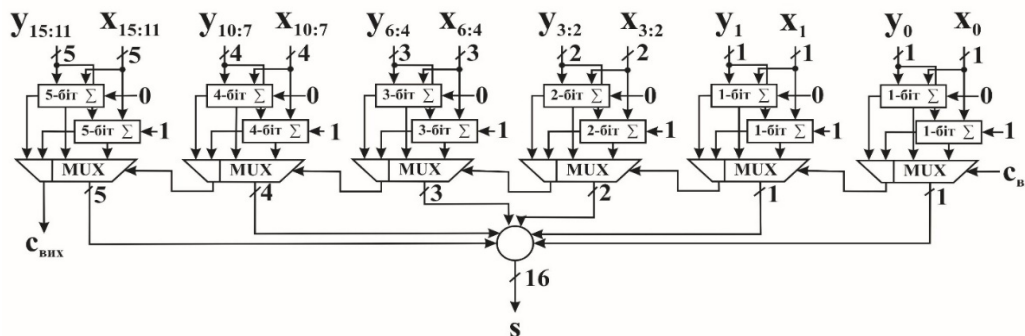


Рис. 5. 16-бітний суматор із вибору переносу [2]

Компромiсом між збільшенням швидкодії суматора та зниження площі кристалу та споживаної потужності є використання схем із пропуском переносу. Існують дві основні такі схеми: суматор із фіксованою довжиною блоку та суматор із змінною довжиною блоку.

На рис.6 наведено схему пропуску сигналу переносу. Вона складається з k біт. В суматорі із пропуском переносу, будь який стан може бути пропущений для якого $P_m = x_m$ або $y_m = 1$, де P_m відображає значення m -го переносу.

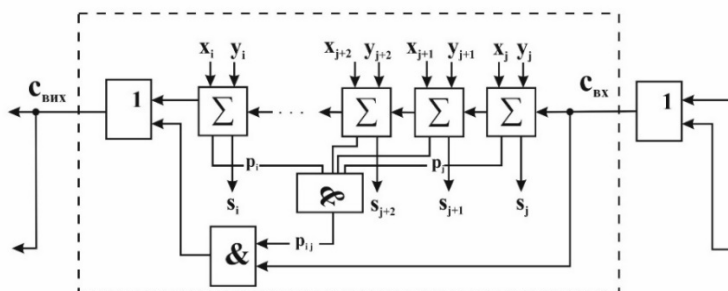


Рис. 6. Схема пропуску сигналів переносу [2]

Структура суматора поділена на блоки послідовних станів за простою послідовною схемою. Кожен блок також генерує сигнал переносу блоку, що дорівнює одиниці, якщо усі внутрішні боки задовольняють умові P_m . Цей сигнал може бути використаний для дозволу вхідного сигналу, для пропуску усього блоку і генерування вихідного сигналу переносу блоку.

На рис. 7 наведемо схему 8-бітного суматора із пропуском сигналу переносу, який складається із 4-х блоків фіксованої довжини в 2 біти. Розмір фіксованого блоку має бути обраний таким чином, щоб час затримки поширення у найдовшому колі був мінімальний. Оптимальним вважається розмір блоку:

$$k_o = \sqrt{\frac{n}{2}} \tag{8}$$

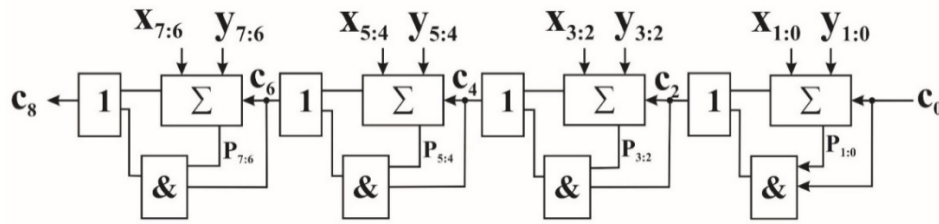


Рис. 7. 8-бітний суматор із пропуском переносу з фіксованою довжиною блоку [2]

На рис.8 представлено 16-бітний суматор із пропуском переносу, що складається із 7-ми блоків різної довжини. Оптимальною організацією розмірів блоків є L блоків з розміром $k_1, k_2, \dots, k_i = 1, 2, 3, \dots, 3, 2, 1$. Це зменшує послідовну затримку переносу крізь ці блоки.

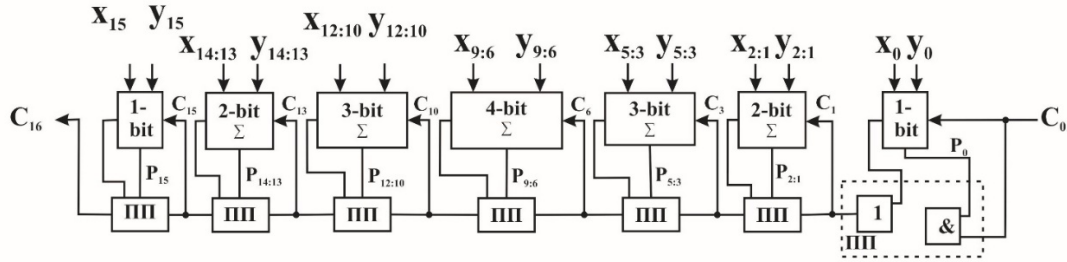


Рис. 8. 16-бітний суматор із пропуском переносу із змінною довжиною блоку [2]

Перспективним також є використання паралельних суматорів без переносу, що працюють із кодами Галуа, але вони вимагають додаткових перетворювачів для переходу із однієї системи кодування в іншу, що також вносить затримку при проведенні операції підсумовування [4].



Рис. 9. Структурна схема лабораторного макету

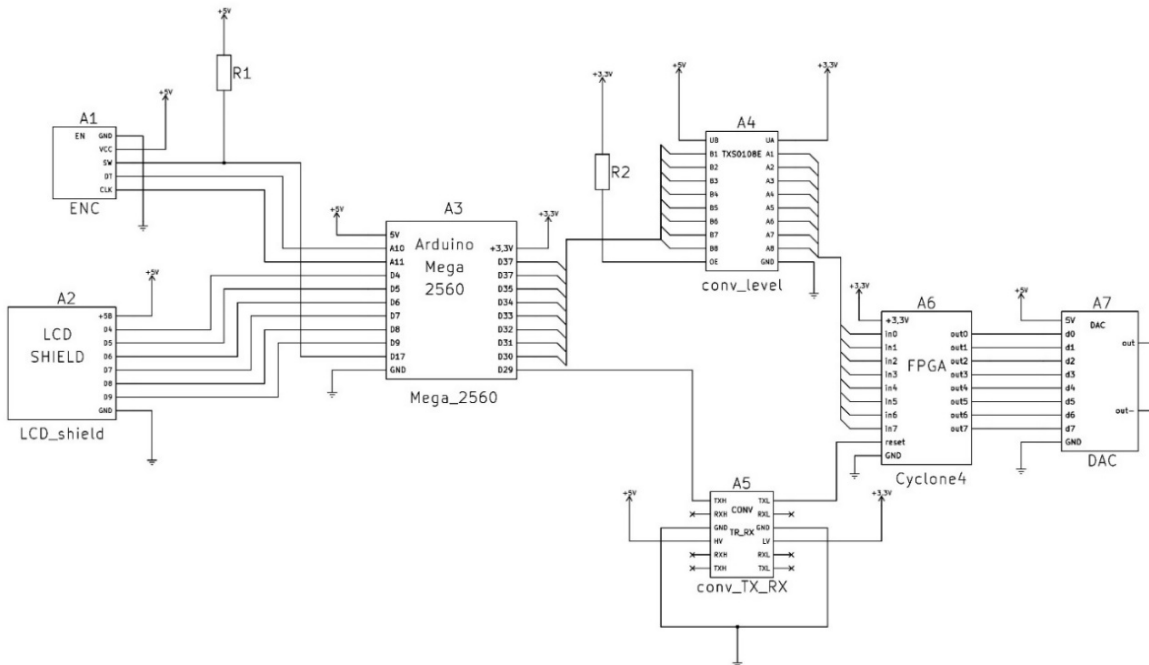


Рис. 10. Принципова схема лабораторного макета

Експериментальна частина

Для можливості подальшого дослідження властивостей прямих цифрових синтезаторів різних типів було спроектовано та побудовано лабораторний макет на базі ПЛІС Cyclone IV, в якості DDS- генератора, та плати Arduino Mega, як основи системи керування.

Загальну структурну схему макету наведено на рис.9. Основою є плата ПЛІС Cyclone IV, на якій крім самої мікросхеми програмованої логіки змонтована уся необхідна для її функціонування об'язка. В

ПЛІС запрограмовано код DDS- генератора, наведеного в [5].

Принципову схему лабораторного макета наведено на рис.10. Її основою є плата Arduino Mega. Розглядався варіант використання Arduino Uno, але так як генератор є паралельним, Uno не забезпечувала одного повного 8-бітного порту мікроконтролера, тому було вирішено обрати Arduino Mega.

Керування генератором здійснюється за допомогою енодера, який підключено до плати Arduino Mega. Плата Arduino забезпечує інтерфейс користувача, в який крім енодера входить, також, LCD екран 16x2, який побудовано на базі добре відомого контролера HD44780. На екрані відображається поточна частота генератора та крок переналаштування частоти. Як вже було сказано вище, керування частоти генератора здійснюється за допомогою енодера, крок переналаштування перемикається кнопкою енодера.

Оскільки функціональний блок Arduino Mega живиться напругою 5 В від стабілізатора AMS1117, а Cyclone IV – напругою 3,3 В то напряму підключити виводи плат між собою неможливо, тому було введено конвертори рівнів. Конвертор A4, побудований на базі мікросхеми TXS0108E, забезпечує узгодження рівнів сигналу коду фази. Інший конвертор – A5 – необхідний для конвертації сигналу RESET, який забезпечує скидання регістру фази акумулятора DDS. Конвертор A5 являє собою двохканальний конвертор рівнів для UART, але він цілком може працювати як звичайний чотириох розрядний конвертер, він побудований на КМОП транзисторах, принципова схема його одного каналу наведена на рис.11.

Код системи керування засновано на код популярного DDS-генератора на Arduino на базі мікросхеми DDS AD9850 фірми Analog Devices. LCD екран підключено стандартним способом, з використанням бібліотеки LiquidCrystal. Опрацювання енодера заведено на переривання Int18 та Int19, лістинг опрацювання повороту енодера наведено на рис. 12:

```
// обробка енодера
unsigned char result = r.process();
if (result) {
if (result == DIR_CW){rx=rx+increment;}
else {rx=rx-increment;}
// кінець обробки валкодера
if (rx > 250000000){rx=(250000000)}; // ВЕРХНІЙ VFO LIMIT
if (rx < 5){rx=5}; // НИЖНІЙ VFO LIMIT
}
}
```

Рис. 12. Лістинг функцій обробки сигналу енодера

Таким чином, для передачі коду фази використовується паралельний інтерфейс. Передача коду фази на вихід здійснюється за три етапи: скидання регістру фази DDS за допомогою перемикавання лінії REST в «0», запис коду фази в порт «C» мікроконтролера, запис коду фази в регістр DDS за допомогою встановлення лінії RESET в «1».

Оскільки вихід системи керування є 8-ми бітним, а DDS- генератор 32- бітним, то усичення коду фази відбувається вже на етапі запису коду фази у вхідний регістр DDS.

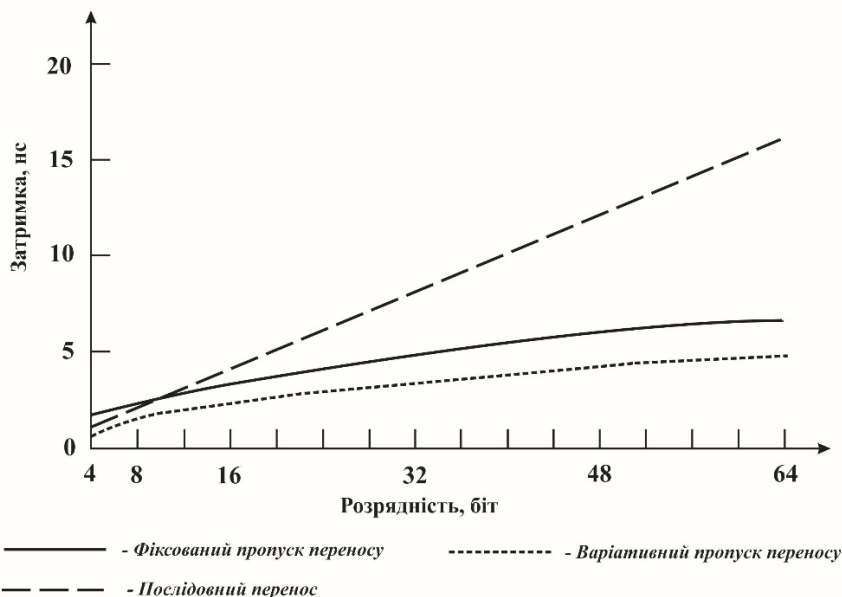


Рис. 13. Залежність затримки сигналу переносу від розрядності суматора для різних типів суматорів.

Використання відкритої платформи Arduino та стандартних компонентів дозволить з часом модернізувати макет, з метою вивчення інших типів DDS. В цілому, макет забезпечує можливість розширення функціоналу, так як на платі Arduino Mega залишилось багато вільних виводів. Наприклад можна розширити можливість переналаштування генератора, підключивши плату розширення Ethernet, або модуль Wi-Fi, та керувати параметрами генератора через локальну мережу або Інтернет.

Проведено аналіз затримки сигналу переносу в наступних схемах суматорів: послідовного переносу, із фіксованим пропуском переносу, із варіативним пропуском переносу. Результати аналізу наведено на рис.13, де показана залежність затримки сигналу переносу від розрядності суматора.

Отже, з точки зору швидкісних показників оптимальним варіантом використання суматора, як основи ядра синтезатора прямого синтезу є суматор із варіативним пропуском переносу.

Висновки. Розглянуто основні принципи побудови прямих цифрових синтезаторів. Проаналізовано основні типи суматорів, що застосовуються в ПЦС, наведено їх недоліки та переваги. Наведено аргументи використання суматорів із пропуском переносу зі змінною довжиною блоку для побудови високошвидкісних DDS.

Наведено схему лабораторного макету DDS-генератора на базі ПЛІС. Запропоновано схему системи керування прямим цифровим синтезатором із використанням відкритої апаратно-програмної платформи.

Запропонована схема системи керування генератором дає можливість легко вивчати різні види ПЦС без значної її перебудови та переписування коду. Система може бути основою не тільки для лабораторного макету, а і в перспективі – для побудови повноцінного функціонального генератора сигналів.

Література

1. Дьяконов В. П. Генерация и генераторы сигналов / В. П. Дьяконов. — М. : ДМК Пресс, 2009. — 384 с., ил.
2. Mou, Z. J., Jutand, F. (1992). Overturned-stairs adder trees and multiplier design. IEEE Trans. Computers, Vol. C-41, August. No. 8, pp. 940–948.
3. Кочемасов В. Цифровые вычислительные синтезаторы – современные решения / В. Кочемасов, Д. Скок, А. Черкашин // Электроника. – 2014. – № 2 (00133).
4. Полікаровських О.І. Застосування нового теоретико-числового базису для побудови високошвидкісних обчислювальних синтезаторів частоти (DDS) / О.І. Полікаровських // Вісник Хмельницького національного університету. – 2013. – № 1.
5. Shuo Li. (2015). Tutorial on designing and simulating a truncation spurs-free direct digital synthesizer (DDS) on a field-programmable gate array (FPGA). University of Illinois at Urbana-Champaign.

References

1. Dyakonov V. P. Generatsiya i generatoryi signalov / V. P. Dyakonov. — M. : DMK Press, 2009. — 384 s., il.
2. Mou, Z. J., Jutand, F. (1992). Overturned-stairs adder trees and multiplier design. IEEE Trans. Computers, Vol. C-41, August. No. 8, pp. 940–948.
3. Kochemasov V. TSifrovyye vyichislitelnyie sintezatoryi – sovremennyye resheniya / V. Kochemasov, D. Skok, A. Cherkashin // Elektronika. – 2014. – № 2 (00133).
4. Polikarovskyykh O.I. Zastosuvannia novoho teoretyko-chyslovoho bazysu dlia pobudovy vysokoshvydkisnykh obchysliuvalnykh syntezyatoriv chastoty (DDS) / O.I. Polikarovskyykh // Visnyk Khmelnytskoho natsionalnoho universytetu. – 2013. – № 1.
5. Shuo Li: Tutorial is a field-programmable gate array (FPGA) for designing and simulating a truncation spurs-free direct digital synthesizer (DDS). University of Illinois at Urbana-Champaign, 2015.

Рецензія/Peer review : 5.10.2018 р.

Надрукована/Printed :22.11.2018 р.
Рецензент: д.т.н., проф. Підченко С.К.