

КВАЛІФІКАЦІЙНА РОБОТА

бакалавр
Освітній рівень

Цифровий фільтр системи доплерівського вимірювача швидкості
Назва теми

КвРТР.2020018.01.05 ПЗ

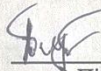
Галузь знань 17 «Електроніка та телекомунікації»
Шифр, назва

Спеціальність 172 «Телекомунікації та радіотехніка»
Шифр, назва

Освітня програма «Телекомунікації та інформаційно-комунікаційні технології»
Назва

Виконав:

студент III курсу, група ТР1с-20-1



Підпис

Михайло ПАНТЕЛЕЙЧУК
Ім'я, ПРІЗВИЩЕ

Керівник



Підпис, дата

Андрій СЕЛЬСЬКИЙ
Ім'я, ПРІЗВИЩЕ

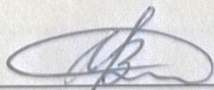
Нормоконтролер



Підпис, дата

Людмила КОРЕЦЬКА
Ім'я, ПРІЗВИЩЕ

До захисту допускаю:
зав. кафедри автоматизації,
комп'ютерно-інтегрованих
технологій та
робототехніки



Підпис, дата

Валерій МАРТИНЮК
Ім'я, ПРІЗВИЩЕ

«22» червня 2023 р.

Хмельницький 2023

Хмельницький національний університет

Факультет інформаційних технологій

Кафедра автоматизації, комп'ютерно-інтегрованих технологій та робототехніки

Освітній рівень перший (бакалаврський)

Галузь знань 17 – Електроніка та телекомунікації

Спеціальність 172 – Телекомунікації та радіотехніка

Освітня-професійна програма Телекомунікації та інформаційно-комунікаційні технології

ЗАТВЕРДЖУЮ

Зав. кафедрою

В. Вергач
«01» 02 2023р.

**ЗАВДАННЯ
НА КВАЛІФІКАЦІЙНУ РОБОТУ**

Пантелейчук Михайло Володимирович

1 Тема роботи: Цифровий фільтр системи доплерівського вимірювача швидкості

керівник роботи Сельський А.А., к.ф.м.н, доцент

Затверджено наказом по університету від «01» березня 2023р. №5.

2 Строк подання студентом роботи на кафедру: 03.06.2023р.

3. Вихідні дані до проекту (роботи) Завдання на дипломне проектування

4 Зміст пояснювальної записки (перелік питань, які потрібно розробити) Вступ. Огляд та аналіз аналогічних систем. Реалізація цифрового фільтру на ПЛІС. Реалізація математичної моделі фільтру у пакеті MATLAB. Висновки.

5. Перелік графічного матеріалу (із зазначенням обов'язкових креслень) 1. Структурна схема моделі ДПФ-модульованого банку фільтрів. 2. Структура алгоритму реалізації банку цифрових фільтрів у середовищі MATLAB. 3. Структурна схема фільтра.





Завдання отримав

Григорук

Керівник

В. Вергач

6. Консультанти розділів кваліфікаційної роботи


Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв
Антиплагіат	Федула М.В., доцент кафедри АКІТтаР		
Нормоконтроль	Корецька Л.О., доцент кафедри АКІТтаР		

7. Дата видачі завдання « 01 » 02 2023 р.

КАЛЕНДАРНИЙ ПЛАН

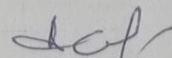
№ п/п	Назва етапів (розділів) дипломної роботи	Строк виконання етапів дипломної роботи	Примітка
1	Вступ	15.02.2023р.	Виконано
2	Огляд та аналіз аналогічних систем	15.03.2023р.	Виконано
3	Реалізація цифрового фільтру на ПЛІС	10.04.2023р.	Виконано
4	Реалізація математичної моделі фільтру у пакеті MATLAB	10.05.2023р.	Виконано
5	Висновки	15.05.2023р.	Виконано
6	Оформлення пояснювальної записки до кваліфікаційної роботи	25.05.2023р.	Виконано
7	Оформлення креслень, презентаційних матеріалів	1.06.2023р.	Виконано

Студент


Підпис

Михайло ПАНТЕЛЕЙЧУК
Ім'я, прізвище

Керівник роботи


Підпис

Андрій СЕЛЬСЬКИЙ
Ім'я, прізвище

АНОТАЦІЯ

Тема кваліфікаційної роботи: «Цифровий фільтр системи доплерівського вимірювача швидкості».

Автор роботи: Пантелейчук Михайло Володимирович.

Керівник роботи: Сельський Андрій Анатолійович.

Пояснювальна записка: 66 с., 54 рис., 2 табл., 3 дод., 9 джерел.

Графічна частина: 3 креслення.

ЦИФРОВИЙ ФІЛЬТР, ДОПЛЕРІВСЬКОГО ВИМІРЮВАЧА ШВИДКОСТІ, МАТЕМАТИЧНЕ МОДУЛЮВАННЯ, ДИСКРЕТНЕ ПЕРЕТВОРЕННЯ ФУР'Є.

Метою роботи є розробка цифрового фільтра системи доплерівського вимірювача швидкості.

Проведено аналіз нині існуючих типів банків цифрових фільтрів і обрано конкретний тип для цифрового фільтра, що розробляється. Вироблено побудову математичної моделі банку цифрових фільтрів у середовищах FDATool та SPTool програмного пакету Matlab. Здійснено практичну реалізацію цифрового фільтра на базі ПЛІС Cyclone II EP2C35F484I8 за допомогою мови Verilog у середовищі Quartus II. Побудовано структурну схему реалізації цифрового фільтра.



Підпис студента

20.03.2022

Дата

ЗМІСТ

ВСТУП.....	4
1 ОГЛЯД ТА АНАЛІЗ АНАЛОГІЧНИХ СИСТЕМ	7
1.1 Огляд існуючих пристроїв	7
1.2 Аналіз вимог до пристрою, що розробляється.....	8
1.3 Теоретичні основи реалізації цифрової фільтрації.....	9
1.4 Висновки до першого розділу.....	20
2 РЕАЛІЗАЦІЯ ЦИФРОВОГО ФІЛЬТРУ НА ПЛІС	21
2.1 Реалізація блок-схеми цифрового фільтра у програмі Quartus II.....	21
2.2 Створення параметричного цифрового КІХ фільтра на мові програмування Verilog HDL	25
2.3 Схеми підключення АЦП та ЦАП.....	34
2.4 Висновки до другого розділу	35
3 РЕАЛІЗАЦІЯ МАТЕМАТИЧНОЇ МОДЕЛІ ФІЛЬТРА У ПАКЕТІ МАТЛАВ	36
3.1 Основи проектування фільтрів у MATLAB	36
3.2 Розрахунок коефіцієнтів фільтра.....	38
3.3 Реалізація ДПФ-модульованих банків фільтрів.....	39
3.4 Структура та опис ПЛІС.....	43
3.5 Розрахунок та реалізація банку цифрових фільтрів у середовищі Quartus II	50
v.8.1	50
3.6 Тестові випробування	57
3.7 Висновки до третього розділу.....	60
ВИСНОВКИ.....	61

КвРТР.2020018.01.05 ПЗ								
Зм.	Лист	№ докум.	Підпис	Дата	Цифровий фільтр системи доплерівського вимірювача швидкості Пояснювальна записка	Лім.	Лист	Листів
Розроб.		Пантелейчук М.В.		22.06.23			2	
Перевір.		Сельський А.А.		22.06.23				
Н. Контр.		Корецька Л.О.		22.06.23				
Затв.		Мартинюк В.В.		22.06.23				
						ХНУ, ТР1с-20-1		

ПЕРЕЛІК ДЖЕРЕЛ ПОСИЛАНЬ.....	62
ДОДАТОК А Структурна схема моделі дпф-модульованого банку фільтрів....	67
ДОДАТОК Б Структура алгоритму реалізації банку цифрових фільтрів у середовищі MATLAB	68
ДОДАТОК В Структурна схема фільтра.....	69

ВСТУП

Доплерівський вимірювач швидкості та кута зносу (ДВШЗ) — радіолокаційна станція, призначена для автоматичного безперервного вимірювання та індикації компонентів вектора швидкості, модуля траєкторії швидкості, кута зносу та координат положення (LA) літака автономно або в поєднанні з навігаційними засобами.

Прилад добре працює при польоті над будь-якою поверхнею, незалежно від оптичної видимості та пори року. ДВШЗ є найважливішим джерелом навігаційної інформації при польоті над ненаправленою місцевістю. Робота цього пристрою полягає в ефекті Доплера, зміні частоти електромагнітних коливань, відбитих від рухомого об'єкта [1].

Доплерівські прилади для літаків і вертольотів розрізняють за призначенням.

Функціонально ДВШЗ складається з приймача з антеною, блоку фільтрації, блоку селекції диференціальних сигналів і вимірювання їх частоти, блоку розрахунку векторів швидкостей, засобів індикації та підключення до навігаційної апаратури.

Блок фільтрації здійснює попередню обробку сигналу. Сучасні системи ДВШЗ працюють на частотах в кілька гігагерц, і для попередньої обробки сигналу потрібно подвійне перетворення для зміщення спектра в область низьких частот (НЧ). У даному дипломному проекті розроблено смуговий фільтр робочої частоти.

Системи цифрової обробки інформації все частіше використовуються в сучасних системах освіти та навчання. Зокрема, функції кореляції та селекції сигналів, як правило, реалізуються на одному процесорі, вхідні сигнали якого, відповідно, є цифровими і потребують оцифровки на кінцевому етапі

					КвРТР.2020018.01.05 ПЗ	4
		№ докум.	Підпис			

перетворення частоти. Цю функцію зручно поєднати з функцією фільтрації лінії робочої частоти, тобто реалізувати цифровий фільтр (ЦФ).

У вузькому розумінні цифровий фільтр - це схема вибору частоти, яка може вибирати цифровий сигнал за частотою. Після виконання цифрової фільтрації сигнал, що несе необхідну інформацію, видається у формі, що полегшує подальшу обробку.

Цифрові фільтри часто працюють на частотах сотень мегагерц або вище; з іншого боку, пропускна здатність фільтра може бути великою. Це призводить до збільшення кількості розрахунків і, отже, різкого збільшення вартості обладнання. Щоб мінімізувати можливі втрати інформації та підвищити якість її обробки, цифрові фільтри повинні забезпечувати можливість швидкої обробки великих блоків даних. Одним із рішень цієї проблеми є використання банку цифрових фільтрів [3].

Фізично система цифрової обробки сигналів (ЦОС) - це процесор, який виконує обчислювальні операції над цифровими сигналами під управлінням програми за заданим алгоритмом, тобто, наприклад, відповідним цифровому приладу (сенсору) або оцифрованому аналоговому сигналу. [4] Цифровий код для зчитування.

На даний момент можна виділити три основні класи пристроїв digital signal procesing (DSP) — процесори загального призначення (ПЗ), сигнальні процесори або процесори цифрової обробки сигналів (DSP) і пристрої цифрової обробки сигналів на основі програмованої користувачем вентиляльної матриці (FPGA). Останній є одним із типів мікросхем для застосування (ASIC). Наприкінці 1980-х і на початку 1990-х років мікропроцесорний DSP, спеціально розроблений для цифрової обробки сигналів, явно перевершував традиційні UE за характеристиками. Однак останнім часом різниця між цими двома класами процесорів майже зникла, і сьогодні багато процесорів виконують важливі завдання цифрової обробки сигналів. Зростаюча кількість пристроїв DSP на

основі FPGA пропонує переваги перед спеціалізованими мікросхемами ASIC завдяки їх гнучкій архітектурі, високому паралелізму та значній продуктивності, особливо при розробці систем для мало- та середньосерійного виробництва.

					КвРТР.2020018.01.05 ПЗ	
		№ докум.	Підпис			6

1 ОГЛЯД ТА АНАЛІЗ АНАЛОГІЧНИХ СИСТЕМ

1.1 Огляд існуючих пристроїв

Огляд і аналіз існуючих моделей фільтрів для систем ДВШЗ є складним, оскільки ця область знань закрита для широкого кола фахівців, що унеможлиблює оцінку параметрів, якості та характеристик реально існуючих фільтрів. на TMS320C5410A і Altera Cyclone EP1C6T144 Модуль DSP обробки радіолокаційного сигналу використовується для порівняльного аналізу цифрового фільтра, що розробляється для системи ДВШЗ. Модуль DSP – це ефективна система управління транспортним потоком на магістралі, яка забезпечує [5]:

- введення аналогових сигналів по 2 каналах і одночасно перетворює їх в цифрову форму з точністю 12 біт і частотою дискретизації до 50 МГц. Частота дискретизації та час дискретизації кожного каналу встановлюються незалежно;
- попередня цифрова обробка сигналу на частоті дискретизації на ПЛІС;
- передача результату попередньої обробки з FPGA на DSP на швидкості 20 Мбіт/с;
- базова цифрова обробка сигналу, виконана на DSP;
- малошвидкісний вихід керуючого сигналу на 8 цифрових ліній оптичної розв'язки;
- виведення високошвидкісних керуючих сигналів на 1 цифрову лінію;
- робота в складі локальної мережі з інтерфейсами RS232 та 100 Мбіт/с Ethernet;

					КвРТР.2020018.01.05 ПЗ	7
		№ докум.	Підпис			

- дистанційна заміна програм DSP і FPGA, використання інтерфейсу JTAG для налагодження програм DSP і FPGA;
- діапазон робочих температур - 40...+85°C.

FPGA (Altera Cyclone EP1C6T144I7), що використовується в цьому модулі, виконує цифрову попередню обробку сигналу в реальному часі. У ПЛІС реалізовано корелятор, смуговий фільтр, схему синхронізації, генерацію тактового сигналу АЦП, інтерфейс зв'язку з центральним процесором. Фільтри для кожного каналу діапазону реалізовані за багатокаскадною схемою зі зменшенням частоти дискретизації з 50 МГц до 4. Після зменшення дискретизації показання сигналу передаються в DSP для спектрального аналізу та подальшої обробки [6].

Оскільки FPGA використовується в CGZ, цей модуль вважається аналоговим модулем.

1.2 Аналіз вимог до пристрою, що розробляється

Пристрій, що розробляється на ПЛІС в порівнянні з вищеописаним модулем Для обробки радіолокаційних сигналів він виконує вузькоспеціалізоване завдання попередньої фільтрації лінійно-частотно-модульованих сигналів (LFM).

Розроблений фільтр базується на наборі цифрових фільтрів, у яких вхідний сигнал, представлений послідовністю підрахунку, розділений на N підсмуг фільтра, ширина яких набагато менша за смугу робочих частот, з N різними цифровими підфільтрами (каналом) для допомоги. . Відповідно до дипломного завдання кількість каналів обрано 16, виходячи з того, що збільшення кількості каналів призводить до збільшення споживання ресурсів ПЛІС, а зменшення обчислень призводить до зниження точності.

					КвРТР.2020018.01.05 ПЗ	8
		№ докум.	Підпис			

Оскільки в якості основи для конструкції CF обрано системний фільтр DVSHZ-7 з робочою частотою $13325 \text{ ГГц} \pm 25 \text{ МГц}$, смуга пропускання фільтра знаходиться в межах $0,50 \text{ МГц}$. Тому, згідно з теоремою Котельникова, частота дискретизації повинна перевищувати максимальну частоту смуги пропускання (50 МГц) принаймні в два рази.

Виходячи з вищесказаного, до проектуваного фільтра висуваються такі вимоги:

- а) 16 каналний банк цифрових фільтрів;
- б) ширина смуги пропускання 50 МГц ;
- в) частота дискретизації 102 МГц ;
- г) можливість зміни функціональності фільтра за рахунок перепрограмування за інтерфейсом JTAG;
- д) робочий діапазон температур - $40 \dots +125 \text{ }^\circ \text{C}$.

1.3 Теоретичні основи реалізації цифрової фільтрації

Оскільки реалізація цифрової фільтрації в широкій смузі частот вимагає мінімум дворазового збільшення частоти дискретизації відносно максимальної частоти смуги (згідно з теоремою Котельникова), реалізація КФ залежить від частоти дискретизації КГЗ пристрій і, таким чином, використовує банк фільтрів.

Банк фільтрів (BF) — це цифровий пристрій, у якому вхідний сигнал, представлений послідовністю відліків, розбивається на M різних каналних сигналів (кожен каналний сигнал обробляється певним чином) за допомогою M різних цифрових фільтрів, з яких допомогою вихідного фільтра і подальшого підсумовування, серії відліків вихідного сигналу. [6-9]

Основну ідею побудови системи аналізу/синтезу сигналів із використанням банку фільтрів розкриває рисунок 1.1.

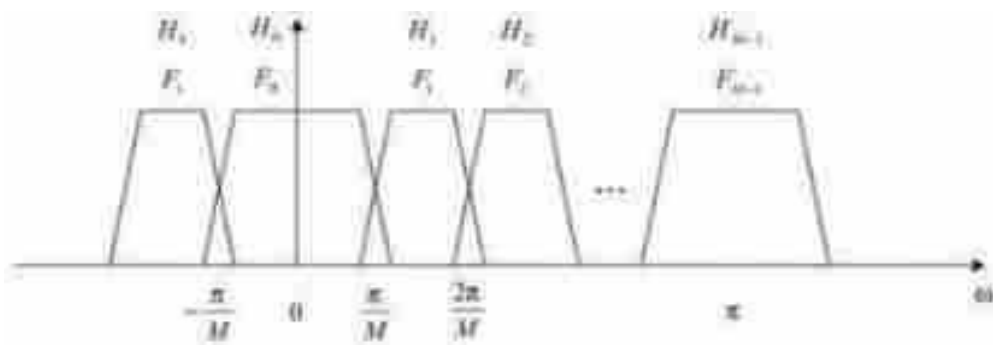


Рисунок 1.2 - Децимація сигналу M разів

Як видно з рисунка 1.2, якщо сигнал не обмежений смугою, спектри копій накладаються, тобто аліасуються (від англійського слова «aliasing»). Ось чому фільтрація низьких частот виконується в банку фільтрів перед децимацією. Комбінація фільтра та дециматора називається дециматорним фільтром.

Інтерполятор - це пристрій, який виконує операцію зворотного децимації. Інтерполяція — це операція, яка вбудовує (додає) між числами, порядкові номери яких кратні деякому числу, деякій константі (зазвичай нулю). M -кратна інтерполяція зазвичай виражається як $(M \uparrow)$:

У частотній області це записується як $U(e^{j\omega}) = X(e^{jM\omega})$, спектр вихідного сигналу операції інтерполяції містить M копій "стисненого" в M раз спектру

вхідного сигналу. Ці копії повторюються через $\omega_k = \frac{2\pi k}{M}$. Для їх усунення після інтерполятора ставиться фільтр низьких частот. Комбінація інтерполятора та фільтра називається інтерполяторним фільтром. Дециматор використовується для зменшення частоти дискретизації вхідного сигналу з подальшою фільтрацією, тому загальна обчислювальна складність зменшується пропорційно коефіцієнту децимації. Після обробки сигналів піддіпазону в кожному банку фільтрів використовуйте інтерполятор для збільшення частоти дискретизації. Ці рівняння (еквівалентні схеми включення) широко використовуються для отримання різних співвідношень, як показано на рисунку 1.3.

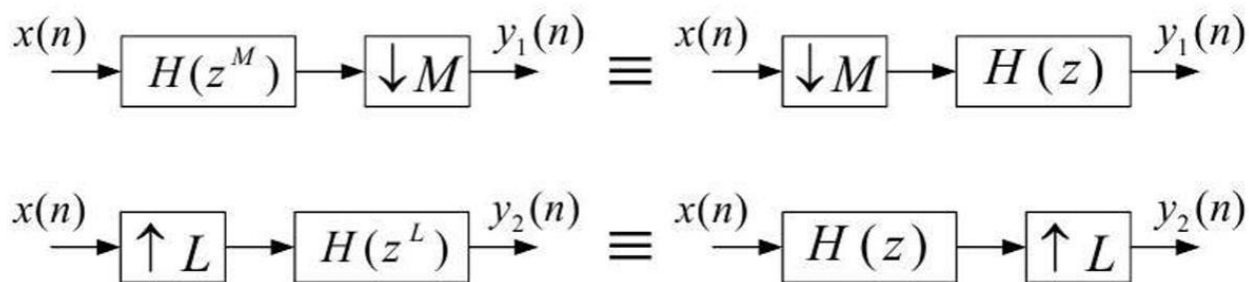


Рисунок 1.3 - Еквівалентні схеми включення фільтрів-дециматорів та фільтрів-інтерполяторів

Банки цифрових фільтрів призначені для поділу вхідного сигналу на кілька підканалів.

У цьому випадку банк фільтрів являє собою набір смугових фільтрів одного типу, що охоплює весь цікавий діапазон частот.

Нехай досліджувана смуга:

$$f \in [-Fs/2, Fs/2] \approx [0, Fs], \quad (1.3)$$

де F_s – частота дискретизації вхідного комплексного сигналу.

Тоді центральна частота k -ого фільтра:

$$f_k = \frac{(k \cdot Fs)}{K} = k \cdot f_1, \quad (1.4)$$

де K - число підканалів, що дорівнює числу фільтрів;

k – номер каналу фільтра;

f_1 – центральна частота фільтра прототипу.

Вихідні відліки k -ого каналу (фільтра) визначаються такою формулою:

$$y_k(t) = \sum_{i=0}^{N-1} h(i)x(t-i)e^{j2\pi f_k t} = \sum_{i=0}^{N-1} h(i)x(t-i)e^{j2\pi f_1 k t} \quad (1.5)$$

Усі смугові фільтри отримують із вихідного фільтра низьких частот шляхом зміщення частотної характеристики (вихідного сигналу) (рис. 1.4). Дискретне перетворення Фур'є може забезпечити таке перетворення:

$$X(k) = \sum_{i=0}^{k-1} x(i) e^{-\frac{j2\pi k i}{K}}, \quad (1.6)$$

де K - кількість відліків у вибірці; k - номер гармоніки, $k = (0, K-1)$.

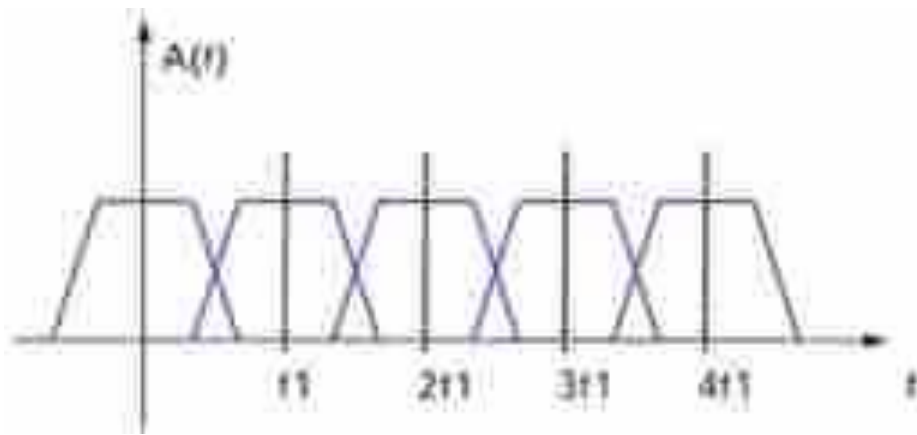


Рисунок 1.4 - АЧХ банку фільтрів

Повторюючи перетворення (1.6) на кожному поточному відліку, отримаємо:

$$X(k) = \sum_{i=0}^{k-1} x(t-i) e^{-\frac{j2\pi k i}{K}}, \quad (1.7)$$

що відповідає формулі (2.5), коли $h(i) = 1$, $i = (0, K-1)$. Тепер ДПФ (рисунок 2.5) можна розглядати як набір K смугових фільтрів:

$$y_{K-k}(t) = X(K, t), \quad (1.8)$$

де $K - k$ - Номер фільтра (каналу).

Частотні характеристики, показані на рисунку 1.5, мають ряд очевидних недоліків: поширення на бічні пелюстки, перекриття суміжних каналів.

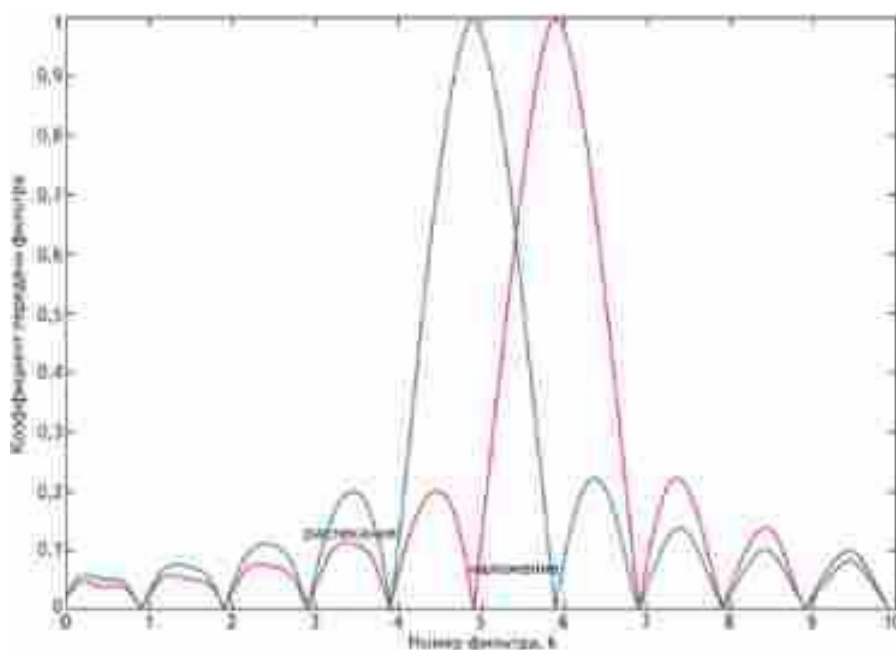


Рисунок 1.5 - Ефекти накладання та розтікання ДПФ

Частотну характеристику можна покращити просто за допомогою стандартних вікон, таких як Henning, Hamming, Hahn, Blackman тощо. Використання цих вікон дозволяє прибрати бічні пелюстки (розширення), але тільки за рахунок посилення ефекту перекриття. Це пояснюється тим, що в часовій області всі стандартні вікна фактично скорочують інтервал аналізу відносно початкового прямокутного вікна, що призводить до протилежного ефекту в частотній області. Висновок простий: щоб частотні характеристики каналів не перекривалися, інтервал зважування сигналу може бути більше інтервалу аналізу DPF. На практиці перед виконанням ДПФ необхідно сформулювати бажану частотну характеристику за допомогою зваженого вікна. Якщо прибрати обмеження довжини зваженого інтервалу $N = K$ і замінити його більш простим - $N = L \times K$, $L = 2, 3, 4, \dots$, тобто N більше, але кратне N ДПФ аналізує інтервал, а потім, вибравши Вікно зважування, яке може вказати

нульові відліки $M-1$ вставляються між кожними двома відліками. Потім сигнал піддіапазону фільтрується за допомогою подальшої модуляції, щоб перемістити піддіапазон у відповідний діапазон частот, який він займає у вихідному широкосмуговому сигналі. Сума всіх канальних виходів набору фільтрів синтезу дає відновлений широкосмуговий сигнал, як показано на моделі нижче (рис. 1.7). [8-11]

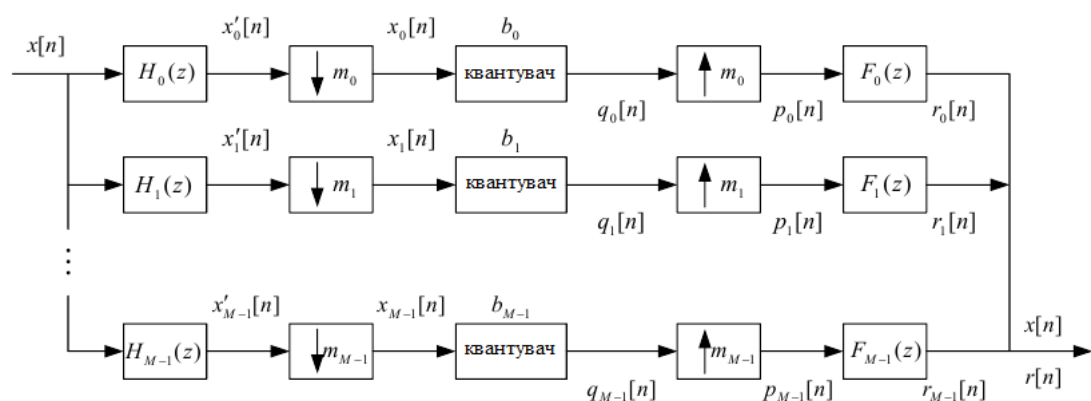


Рисунок 1.7 - Модель ДПФ-модульованого банку фільтрів, заснованого на повній модуляції

Прототип фільтрів низьких частот може бути розроблений стандартними методами, такими як синтез з використанням зважених вікон, вибірка частоти тощо. Частота зрізу прототипу фільтра визначає кількість каналів і їх ширину, оскільки всю смугу частот можна розділити на K рівних частин. Ступінь перекриття піддіапазонів обмежений відповідно до вимог області застосування конкретного банку фільтрів.

Імпульсні та частотні характеристики фільтрів для кожного каналу визначаються наступним чином:

$$h_k(n) = h(n)W_K^{kn} = h(n)e^{j2\pi n/K} \quad (1.11),$$

$$H_k(e^{j\omega}) = H\left(e^{j\left(\omega - \frac{2\pi k}{K}\right)}\right) \quad (1.12)$$

Система характеризується рівномірним розміщенням смуг із кроком

$$\omega_k = \frac{2\pi k}{K} \quad k = 0, 1, \dots, K-1 \quad (1.13)$$

Реалізація цієї схеми банку фільтрів безпосередньо вкрай неефективна. У кожному каналі при високій частоті дискретизації виконується згортка з імпульсною характеристикою прототипу фільтра, що призводить до значного збільшення обчислювальних витрат, які можна зменшити шляхом зменшення частоти дискретизації. Ключем до створення ефективною структури є багатофазне розкладання прототипу фільтра. Він заснований на поділі, децимації та групуванні коефіцієнтів фільтра в підгрупи, які називаються поліфазними фільтрами.

$$H(z) = \sum_{k=0}^{M-1} z^{-k} G_k(z^M) = G_0(z^M) + z^{-1} G_1(z^M) + \dots + z^{-(M-1)} G_{M-1}(z^M)$$

$$G_k(z^M) = h(k) + h(k+M)z^{-1} + h(k+2M)z^{-2} + \dots \quad (1.14)$$

Таке групування поліфазних фільтрів може бути поділено між каналами, що зображено на рисунках 1.8.

Оцінка сигналів піддіапазону слідує за модуляцією, досягнутою за допомогою ДПФ, обчислювальну складність якого можна обмежити за допомогою алгоритму ШПФ.

На основі наведеної вище теоретичної інформації цей проект розробляє цифровий фільтр для рівносмугового аналізу каналів і групи синтезу на основі модуляції DFT. Кількість каналів CF становить 16, оскільки це забезпечує

Для того, щоб FIR Compiler II згенерував потрібну нам блок-схему, нам потрібні коефіцієнти фільтра, які можна отримати з MathCAD або розрахувати в сторонньому програмному забезпеченні, такому як Octave або Matlab. [12-18]

Для того, щоб FIR Compiler II зчитував ці коефіцієнти, їх потрібно записати у файл із розширенням .txt у форматі, показаному на малюнку 3.4.



Рисунок 2.4 – Формат файлу для FIR Compiler II

Далі у вікні огляду FIR Compiler II нам потрібно вибрати файл і натиснути кнопку Застосувати, тепер у нас є частотна характеристика потрібного фільтра.

Потім ви можете встановити кількість вхідних і вихідних бітів відповідно до можливостей використовуваних АЦП і ЦАП.

Зробивши все це, потрібно натиснути кнопку «Готово» і програма сама створить нам блок-схему (рис. 2.5).

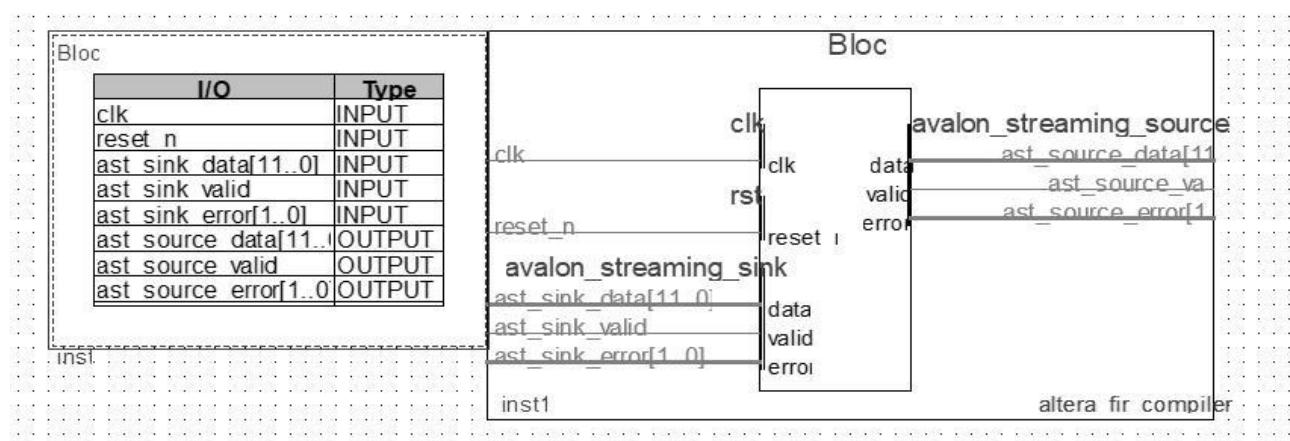


Рисунок 2.5 – Блок-схема цифрового фільтра Quartus II

Для перевірки відгуку цифрового сигналу на виході фільтра на ПЛІС використано підключення структурної схеми входу до входу (рис. 23.6) і світлодіода до виходу фільтра (рис. 2.7).), Після компіляції цього файлу ми помітили, що світлодіоди на платі горять по черзі, що вказує на можливість використання цієї блок-схеми.

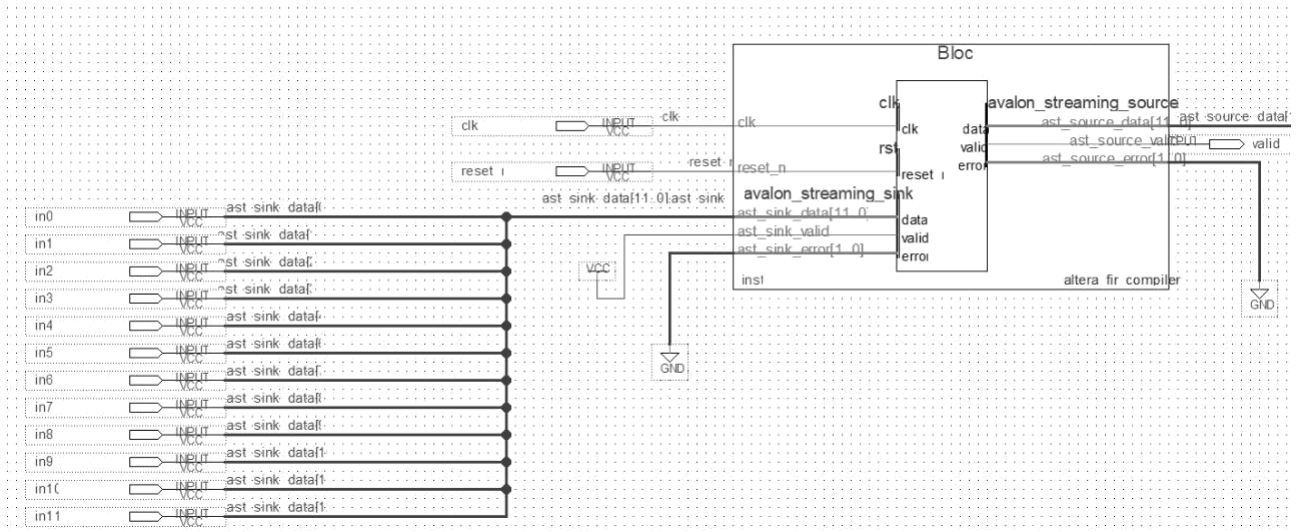


Рисунок 2.6 – Блок-схема із підключеними виводами на вхід

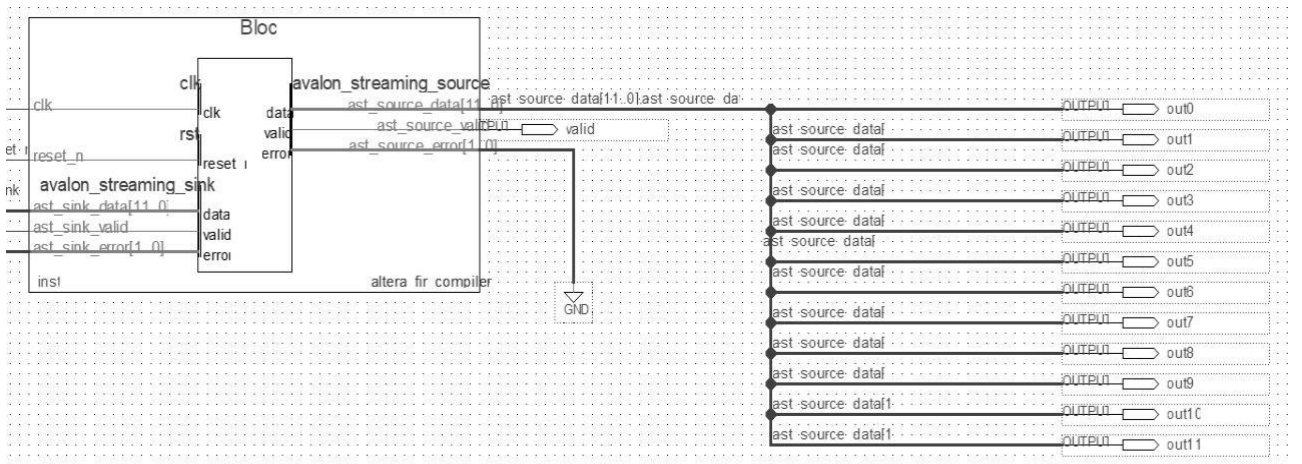


Рисунок 2.7 – Блок-схема із підключеними світлодіодами на вихід

2.2 Створення параметричного цифрового КІХ фільтра на мові програмування Verilog HDL

Щоб реалізувати цифровий фільтр, нам потрібно встановити параметри фільтра, коефіцієнти та довжину, для цього ми можемо скористатися інструментом TFilter.

Потрібно створити цифровий фільтр низьких частот із частотою дискретизації 20 МГц. Вище 3 МГц ми плануємо пригнічувати всі частоти щонайменше на 40 дБ (рис. 2.8) [5-7, 12-18].

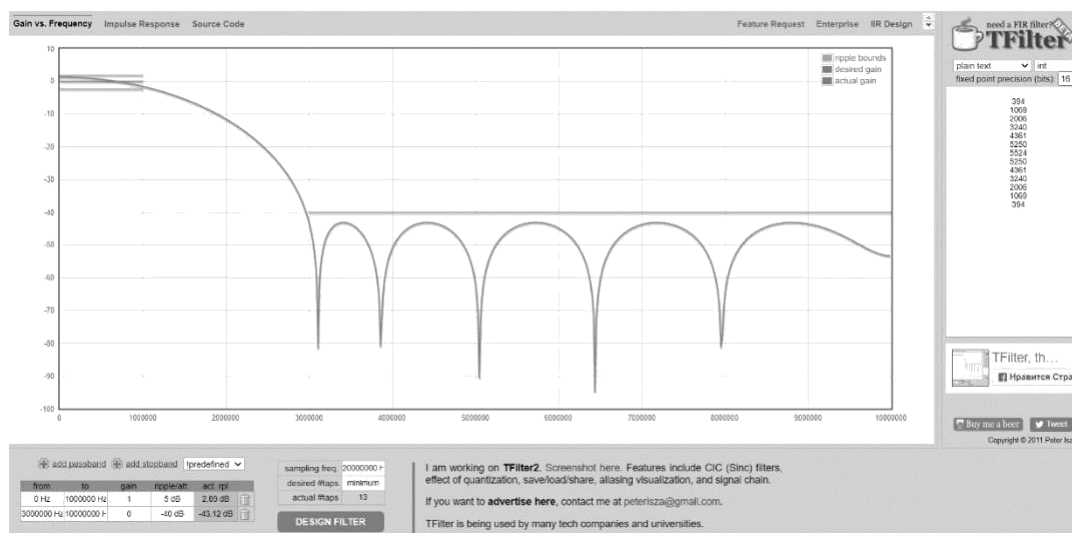


Рисунок 2.8 – Фільтр нижніх частот із частотою зрізу 3 МГц

Смуговий фільтр із частотою дискретизації 20 МГц також буде сконструйований таким чином, щоб фільтр відхиляв частоти нижче 3 МГц і вище 5 МГц (рис. 2.9).

У вікнах праворуч на рисунках 2.8 і 2.9 після побудови фільтра з'являються коефіцієнти, число яких є довжиною фільтра.

Щоб перевірити його працездатність, можна скористатися програмою-симулятором «Icarus Verilog», яка змоделює вхідний сигнал і написаний нами блок фільтра.

У фільтрі низьких частот, починаючи з 500 кГц (рис. 2.18), амплітуда синусоїди out_lowpass починає поступово зменшуватися після 2 МГц (20 мкс) (рис. 2.20).

Смуговий фільтр (рис. 2.21). Смуговий фільтр добре пропускає десь у діапазоні 2-3 МГц (20-30 мкс) (рис. 2.22), а по краях спостерігається легкий провал (позапропускний сигнал) (рис. 2.23, рис. 2.24).

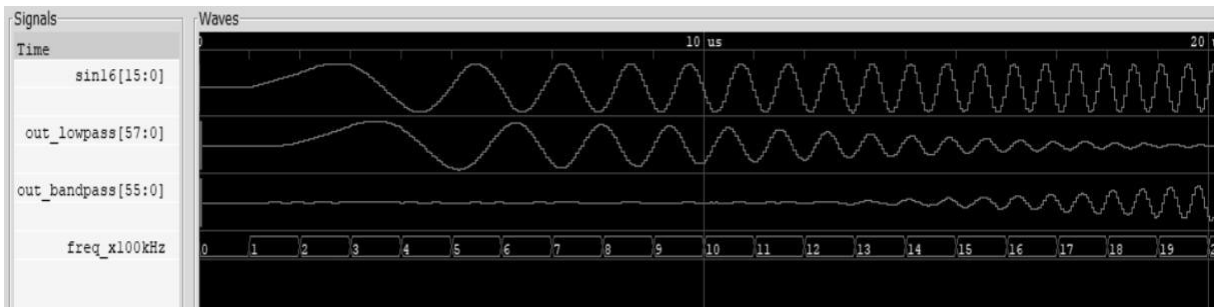


Рисунок 2.20 – Сигнал на виході ФНЧ від 0 до 2 МГц

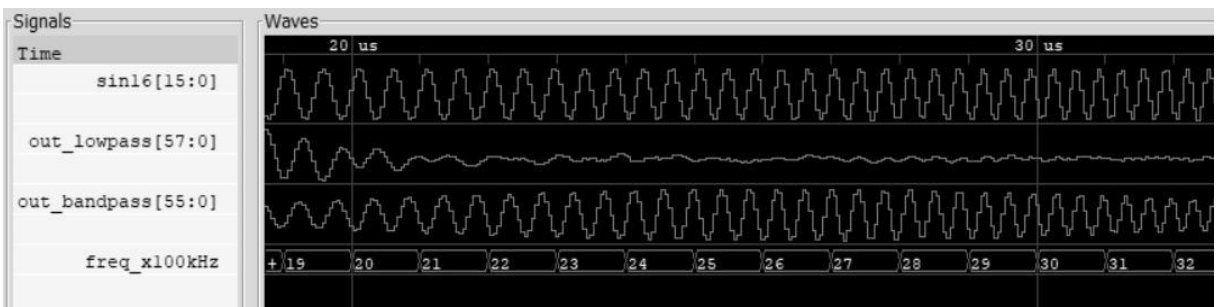


Рисунок 2.21 – Сигнал на виході ФНЧ від 2 до 3 МГц

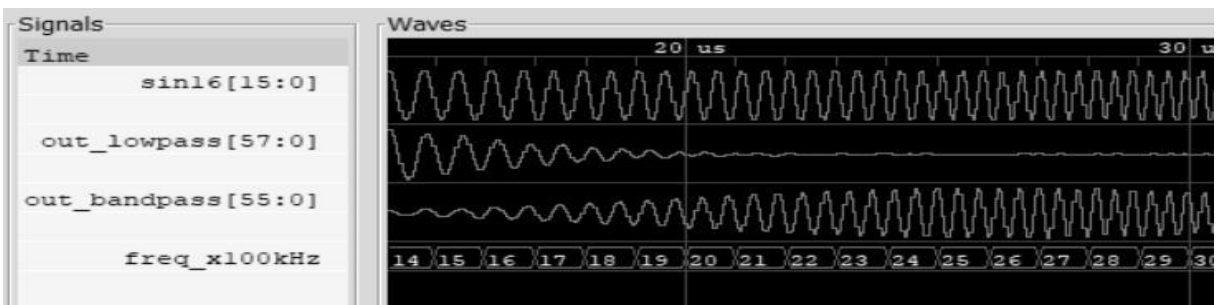


Рисунок 2.22 – Смуга пропускання ПФ від 2 до 3 МГц

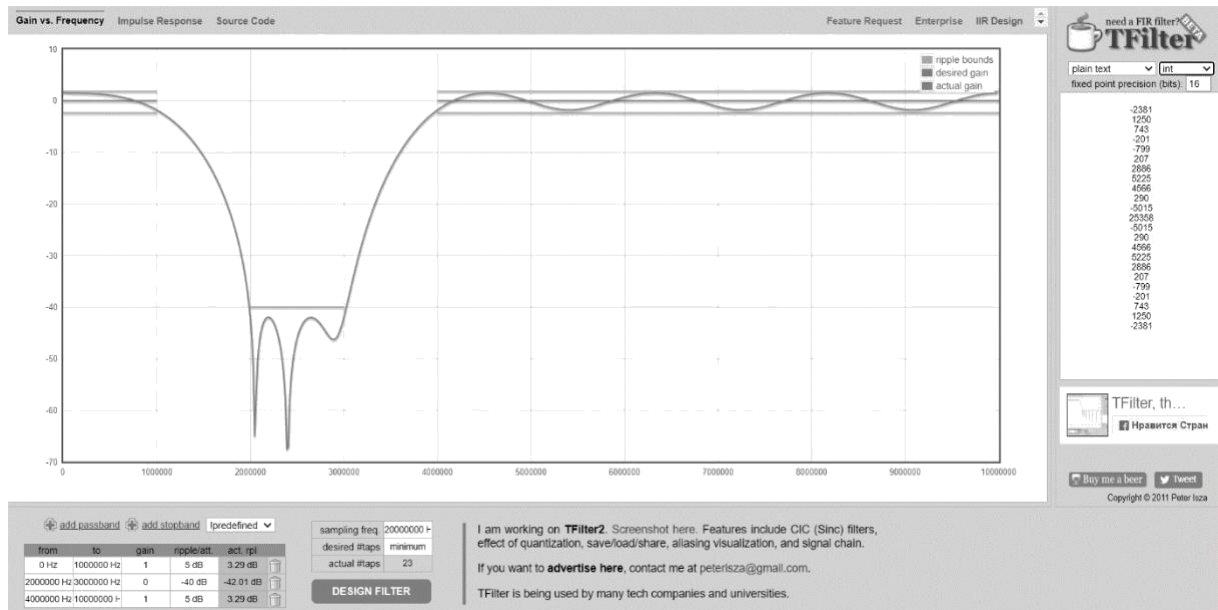


Рисунок 2.26 – Загороджувальний фільтр із смугою придушення від 2 МГц до 3 МГц

Підставивши нові коефіцієнти і провівши симуляцію, отримуємо результат (рисунок 2.27).

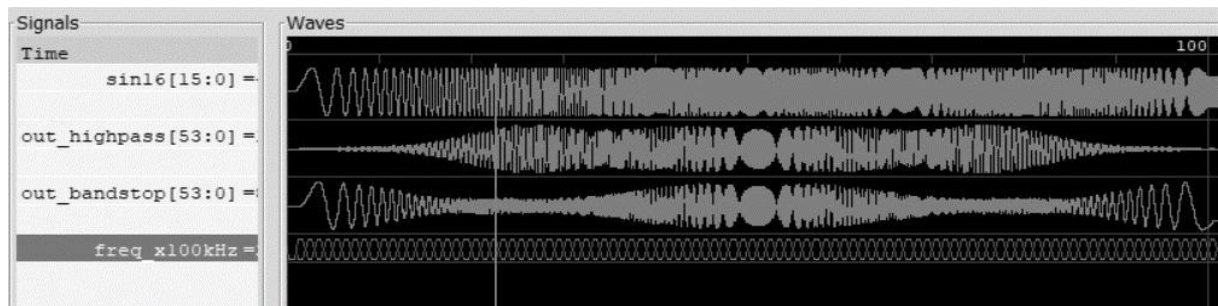


Рисунок 2.27 – Інтерфейс “GtkWave” з ФВЧ та ЗФ

У фільтрі високих частот, починаючи з 500 кГц (рис. 2.28), амплітуда синусоїди `out_highpass` починає плавно зростати, і через 2 МГц (20 мкс) фільтр пропускає сигнал (рис. 2.29). Блокуючий фільтр пригнічує сигнал в діапазоні 2-3 МГц (20-30 мкс) (рис. 3.30) і спостерігається рівне збільшення сигналу з обох сторін (сигнал `out_bandstop`) (рис. 2.31, рис. 2.32).

3 РЕАЛІЗАЦІЯ МАТЕМАТИЧНОЇ МОДЕЛІ ФІЛЬТРА У ПАКЕТИ MATLAB

3.1 Основи проектування фільтрів у MATLAB

Середовище Matlab використовується для побудови прототипу фільтра та розрахунку коефіцієнтів розробленого фільтра.

Серед пакетів обробки сигналів, що входять до складу Matlab, є два графічних середовища, які дозволяють обчислювати й аналізувати дискретні фільтри: FDATool (інструмент проектування та аналізу фільтрів) і блоки, включені в середовище SPTool для керування фільтрами. FDATool підтримує більше методів синтезу; SPTool дозволяє вручну графічно редагувати розташування нуля та полюса функцій передачі фільтра.

Вікно програми FDATool показано на рисунку 3.1.

Розрахунок фільтра починається із встановлення необхідних параметрів на вкладці «Дизайн фільтра» (див. рис. 3.1). Використовуйте перемикач Filter Type, щоб вибрати тип частотної характеристики для синтезу. Можливі такі варіанти: низька частота, висока частота, смугова пропускання, смугова зупинка. П'яте положення перемикача дозволяє використовувати розкритий список складніших параметрів: Диференціатор, Трансформатор Гільберта, Багатодіапазонний, Довільна величина та Довільна група [23-28].

Після вибору класу частотної характеристики, який буде синтезовано, виберіть тип фільтра синтезу, встановивши перемикач у розділі «Методи проектування» на IIR (рекурсивний) або FIR (нерекурсивний). Кожне положення перемикача відповідає списку можливих методів синтезу. Склад цього списку змінюється відповідно до вибраного типу частотної характеристики. Наприклад, при синтезі фільтра з довільною залежністю групової затримки від частоти (Arbitrary Group Delay) перемикач автоматично

- б) Chebyshev Type I - синтез фільтра Чебишева першого роду;
- в) Chebyshev Type II - синтез фільтра Чебишева другого роду;
- г) Elliptic – синтез еліптичного фільтра.

У розділі Filter Order вкажіть потрібний порядок фільтрів або встановіть перемикач у положення Minimum order (найменший можливий порядок). У розділах «Специфікація частоти» та «Специфікація амплітуди» вам потрібно ввести частоту дискретизації F_s , граничні частоти смуги пропускання та смуги зупинки (F_{pass} і F_{stop}), а також дозволене загасання в смузі пропускання та смузі зупинки (A_{pass} і A_{stop}). Після встановлення всіх параметрів натисніть кнопку Design Filter, щоб обчислити коефіцієнти фільтра, після чого ви зможете переглянути характеристики синтетичного фільтра [23-28].

3.2 Розрахунок коефіцієнтів фільтра

Фільтр обчислюється з частотою дискретизації 102 МГц і частотою зрізу 50 МГц. Тип фільтра - фільтр нижніх частот з кінцевою імпульсною характеристикою (KIX). Смуга пропускання дорівнює діапазону частот (50 МГц), а кількість коефіцієнтів фільтра (порядок фільтра) дорівнює 768 ($16 \cdot 48$), оскільки при проектуванні фільтра експериментально отримано оптимальну довжину частотної смуги, що дорівнює 48.

Результатом є фільтр, параметри та частотна характеристика якого показані на рисунку 3.2.

Після завершення розрахунку експортуйте коефіцієнти фільтра через меню Файл-Експорт у файл коефіцієнтів, Параметри, виберіть Двійковий формат і експортуйте у файл h. fcf, наведені в Додатку В.

Надалі цей файл буде використовуватися як програмна реалізація фільтра, підключеного до проекту.

2. - Модуляція вхідного сигналу – отримання каналних сигналів.
3. - НЧ-фільтрація каналів.
4. - Децимація каналних сигналів.

Функція синтезатора - $dft01s(X, M, h)$, виконує дії зворотних функцій аналізатора, на вході функції X - матриця з сигналами каналів, M - коефіцієнт інтерполяції, h - коефіцієнти фільтра-прототипу.

Основні етапи виконувани функцією синтезатора:

1. -Визначення кількості каналів за розміром матриці із сигналами каналів.
2. -Додавання нульових відліків.
3. -Підготовка фільтру.
4. -Фільтрування каналів.
5. -Формування коефіцієнтів модулятора (гетеродина).
6. -Модулювання.

Підсумовування виходів усіх каналів та отримання синтезованого сигналу.

Оскільки прямі реалізації не такі ефективні, як багатофазні банки фільтрів, детальний аналіз багатофазних реалізацій банків фільтрів виправданий. Функція аналізатора багатофазної реалізації з максимальним проріджуванням $dft02a(x, K, h)$, де:

- а) x - аналізований сигнал,
- б) K - кількість каналів,
- в) h – коефіцієнти фільтра-прототипу.

На виході функції X є матриця, що містить каналні сигнали цифрового банку фільтрів [4].

Основні етапи виконуються функціями аналізатора:

1. Сортування показань вхідного сигналу по каналах - децимація. Виконується за допомогою функції reshape, яка перетворює вектор вхідних показань в матрицю, заповнюючи її послідовно зверху вниз і справа наліво.

2. Розділіть прототипний фільтр на багатофазний. Виконується за допомогою функцій reshape і flipud, остання функція перевертає матрицю (від англ. flip up down) [23-28].

3. Багатоканальна фільтрація каналів. Реалізується функція фільтра.

4. Модуляція за допомогою DPF. Реалізується функцією fft.

5. Функція синтезатора - dft02s (X, h) для поліфазних реалізацій, а також прямих реалізацій, які виконують операцію, зворотну аналізатору, на вході функції X - матриця з канальним сигналом, h - коефіцієнти прототипу фільтр.

Основні етапи виконувани функцією синтезатора:

- визначення кількості каналів;
- зворотне ДПФ здійснюється функцією ifft;
- розбиття фільтра-прототипу на поліфазні фільтри;
- поліфазна фільтрація каналів;
- синтезований сигнал – інтерполяція.

На рисунку 3.3 представлено алгоритм реалізації банку цифрових фільтрів у середовищі MATLAB [29-34].

Сигнал LFM використовується як вхідний сигнал, тому що цей сигнал використовується як пробний сигнал в системі ДВШЗ і за його формою і спектром частот легше оцінити вплив на нього банку фільтрів.

Лінійна частотна модуляція (ЛЧМ) сигналу — це вид частотної модуляції, коли частота несучого сигналу змінюється за лінійним законом.

Зміна частоти $f(t)$ в межах імпульсу НЧМ відбувається за такою формулою:

$$f(t) = f_0 + b \cdot t, \quad -\frac{T_c}{2} \leq t \leq \frac{T_c}{2}, \quad (3.1)$$

Фаза сигналу з ЛЧМ визначається як:

$$\phi(t) = 2 \cdot \pi \int_0^t f(t) dt = 2 \cdot \pi \left(f_0 t + \frac{b}{2} t^2 \right) \quad (3.2)$$

Тоді ЛЧМ сигнал описується наступним виразом:

$$S_{LFM}(t) = S_0 \cdot \cos \{ \phi_0 + \phi(t) \} = S_0 \cos \left\{ \phi_0 + 2 \cdot \pi \left(f_0 t + \frac{b}{2} t^2 \right) \right\} \quad (3.3)$$

де S_0 – амплітуда; ϕ_0 - Початкова фаза.

Основні параметри банку ЦФ, що розробляється:

- частота дискретизації $f_s = 102$ МГц;
- кількість каналів $k = 16$;
- кількість коефіцієнтів фільтра прототипу $n=768$.

3.4 Структура та опис ПЛІС

В даний час існує багато виробників FPGA (Altera, Xilinx, Actel, Atmel, Gray, National Instruments та ін.), Але лідерами у виробництві FPGA є Altera і Xilinx.

Вибираючи підкладку компонента FPGA, враховуйте наступні фактори:

- швидкість;
- низька вартість;
- більш просунуте програмне забезпечення (ПЗ).

Продукти Altera (Quartus II) є більш досконалішими, ніж продукти Xilinx (ISE). Тому прийнято Altera FPGA.

У таблиці 3.1 наведено порівняльну характеристику сімейства Циклон [35-38].

18, кожен з яких можна використовувати як два множника 9 x 9. Комірки введення/виведення Cyclone II підтримують різні стандарти, включаючи диференціальний. Понад 40 IP-компонентів від Altera та AMPP (партнерська програма Altera Megafunction) були оптимізовані для сімейства Cyclone II.

Відмінні особливості:

1) Архітектура сімейства Cyclone II містить від 4608 до 68 416 логічних елементів.

2) М4К вбудовані блоки пам'яті.

3) До 1.1 Мбіт убудованої RAM пам'яті.

4) Тактова частота 260 МГц.

5) Вбудовані помножувачі.

6) Підтримка диференціальних швидкодіючих каналів, включаючи LVDS (311 MbPS), mini-LVDS, RSDS, LVPECL.

7) Підтримка швидкодіючої зовнішньої пам'яті, включаючи DDR2, DDR та SDR SDRAM.

8) Живлення портів I/O 1.5, 1.8, 2.5 або 3.3 В.

9) Підтримка інтерфейсу JTAG.

10) До чотирьох ФАПЧ (PLL) на мікросхему з множенням частоти та зсувом фаз.

Огляд сімейства Cyclone II представлений у таблиці 3.2.

IC EP2C35F484I8 обрано для реалізації цифрового фільтра для системи DVSHZ. Назва NVIS складається з наступних компонентів і засобів:

1. EP2C – Altera Cyclone другого покоління;

2. 35 - приблизно 35 000 логічних елементів;

3. F – Тип корпусу: F = fineline (1,0 mm) BGA;

4. 484 - Кількість виводів корпусу;

5. T - Робоча температура: Industrial (-40. +125 ° C);

6. S – Градація швидкодії: 6, 7,8.

					КвРТР.2020018.01.05 ПЗ	
		№ докум.	Підпис			45

Таблиця 3.2 – Огляд сімейства Cyclone II.

Пристрій	EP2C5	EP2C8	EP2C2	EP2C3	EP2C5	EP2C70
			0	5	0	
Логічні елементи	4608	8256	18752	33216	50528	68416
Блоки ОЗУ М4К	26	36	52	105	129	250
Усього ОЗУ, біт	11980	16588	239616	48384	594432	115200
	8	8				0
Вбудовані помножувачі 18 x 18	13	18	26	35	86	150
ФАПЛ	2	2	4	4	4	4
Максимальна кількість користувальницьки x висновків	142	182	315	475	450	622
Диференціальні канали	58	77	132	205	193	262

На рисунку 3.4 представлено узагальнену структуру Cyclone II EP2C35.

Як видно з рисунка 3.4, EP2C35 складається з блоків оперативної пам'яті М4К (блоки М4К), вбудованих помножувачів (вбудованих помножувачів), PLL, блоків логічного масиву та компонентів введення та виведення.

Найменшим елементом в архітектурі Cyclone II є логічний елемент (LE). Основою логічних елементів є генератор функцій (Look Up Table - LUT).

Serial Data Out (DATA), AS Data In (ASDI) і Chip Select (Ncs). DCLK генерується Cyclone FPGA (14-20 МГц) [8].

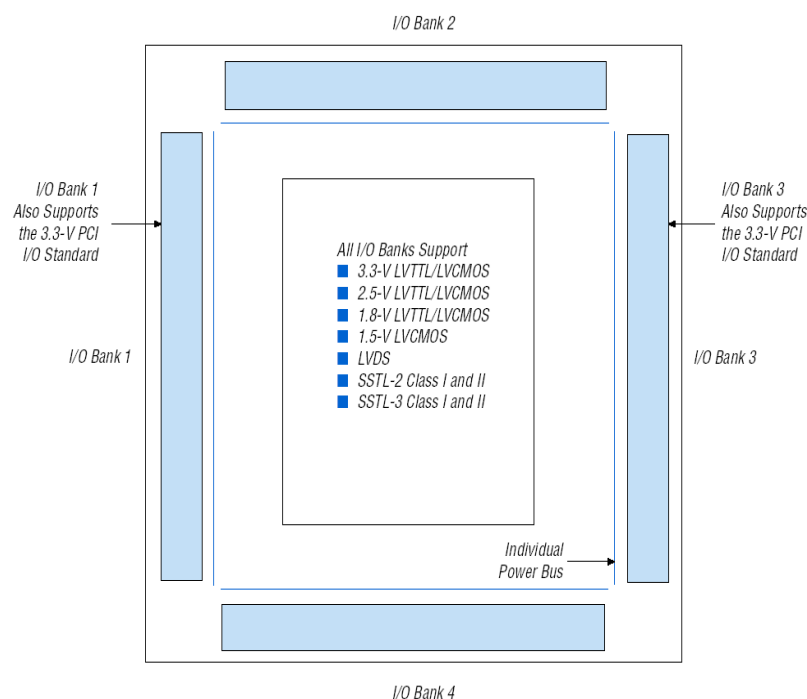


Рисунок 3.5 - Структура банків введення/виведення Cyclone II

Програмне забезпечення Quartus II від Altera забезпечує повне багатоплатформне середовище проектування, яке можна легко налаштувати відповідно до конкретних вимог. Це ідеальне середовище для повних систем на кристалі (SOPS) на основі FPGA. Програмне забезпечення Quartus II містить інструменти для всіх етапів проектування FPGA та CPLD.

Порядок роботи з ПЗ Altera Quartus II включає такі основні етапи:

- 1) Технічне завдання.
- 2) Введення опису проекту (поведінковий чи структурний).
- 3) Моделювання (функціональне).
- 4) Синтез:
 - а) Перетворення опису проекту на схему на заданій елементній базі.

б) Оптимізація схеми з урахуванням обмежень щодо швидкодії та займаної площі ПЛІС.

5. Розведення та розміщення внутрішніх ресурсів ПЛІС з урахуванням накладених обмежень щодо швидкодії та займані ресурси.

6. Тимчасовий аналіз – перевірка відповідності створеної ПЛІС умовам швидкодії ТЗ.

7. Моделювання на вентиляльному рівні.

8. Тестування та налагодження ПЛІС у складі системи (ISP, JTAG, Signal tap) [39].

Для виконання завдань дипломного проектування необхідно послідовно виконати зазначені етапи, за винятком етапів випробувань та пусконаладжувальних робіт, які не входять до завдань цього дипломного проекту.

У складі пакету Quartus II проект створюється у вигляді схеми - (схема, текст, комбінований вхід проекту). Є інтегровані засоби Mega Wizard і SOPC для створення складних проектів. Особливістю середовища Quartus II є наявність комплексної системи, системи розміщення внутрішніх ресурсів і культивування FPGA, системи моделювання, системи аналізу часу та аналізу енергії, системи інтеграції з іншими САПР, інструментів для оптимізації. Швидкість LogicLock та інтегровані засоби розробки програмного забезпечення для мікрокомп'ютерів.

При схемному введенні опису проекту можна використовувати:

- 1) Найпростіші логічні елементи;
- 2) Параметризовані модулі;
- 3) Мегафункції Altera;
- 4) Раніше створені компоненти (тестовим та ін. способами).

Мова VHDL або Verilog використовується як апаратна мова для опису схем, реалізованих у програмному забезпеченні Quartus II.

Ядра IP (інтелектуальної власності) — це блоки логіки, написані на VHDL або Verilog і використовуються в складних багатокомпонентних проектах. Багато компаній пропонують готові, перевірені IP-ядра, які реалізують різні алгоритми та інтерфейси.

IR включає функції макросу. Мегафункції компілятора Mega Core FIR для завдань цифрової фільтрації. Використання цієї макрофункції дозволяє швидко спроектувати цифровий фільтр на основі заданих параметрів.

3.5 Розрахунок та реалізація банку цифрових фільтрів у середовищі Quartus II v.8.1

Для початку роботи в середовищі Quartus II необхідно створити новий проект (New Project Wizard). Під час створення проекту ви повинні вказати назву проекту, розташування проекту та тип FPGA, на якому проект буде виконуватися.

Опис проекту буде реалізовано на вхідній схемі. Меню File->New->Block Diagram/Schematic створює файл верхнього рівня для схемного опису проекту. Важливо, щоб ім'я проекту відповідало імені файлу, а не ієрархії. Реалізований проект складається з двох блоків: фільтр-дециматор (фільтр-аналізатор) та фільтр-інтерполятор (фільтр-синтезатор). На прикладі розглянуто реалізацію децимаційного фільтра.

Щоб прискорити створення проекту у вікні, клацніть вкладку Symbol->MegaWizard Plug-In Manager.

Далі потрібно створити нову модель мегафункції. У наступному діалоговому вікні ви повинні вказати шлях і назву вихідного файлу, мегафункції (FIR Compiler v8.1), а також ви повинні вибрати сімейство FPGA і

мову опису (Verilog HDL), які будуть реалізовувати цю мегафункцію. Показує діалогове вікно А, що містить необхідні налаштування [39-42].

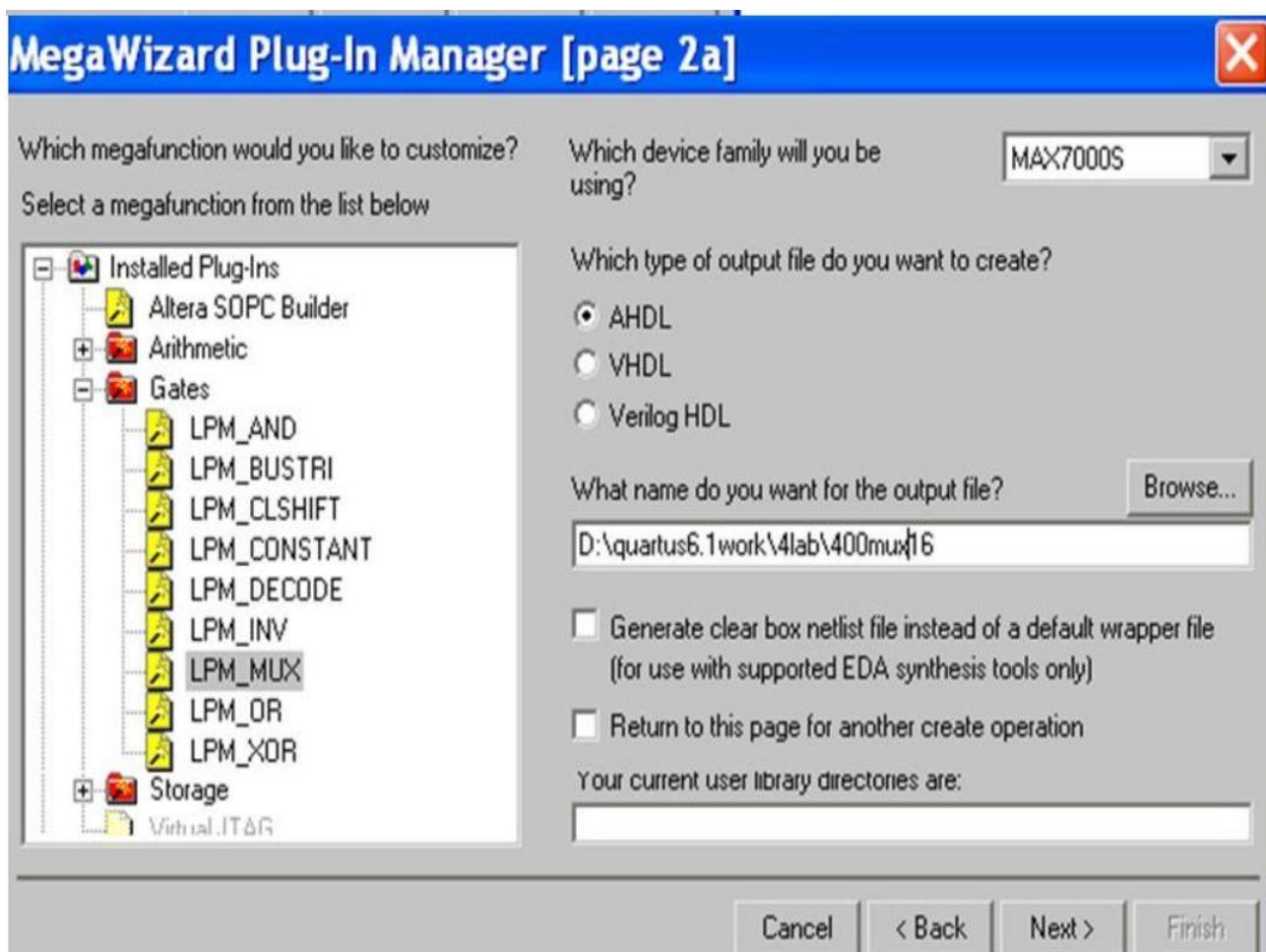


Рисунок 3.6 – Діалогове вікно MegaWizard Plug-In Manager

Далі у вікні мегафункцій компілятора Mega Core FIR параметри фільтра згруповані разом на вкладці Parametrize. АЧХ і налаштування фільтра показані на малюнку 3.7.

Як видно з рисунка 3.7, налаштування розділено на дві частини: створення та генерування коефіцієнтів за допомогою функції макросу (плаваючий набір коефіцієнтів) або імпортування коефіцієнтів із середовища Matlab (набір коефіцієнтів імпорту).

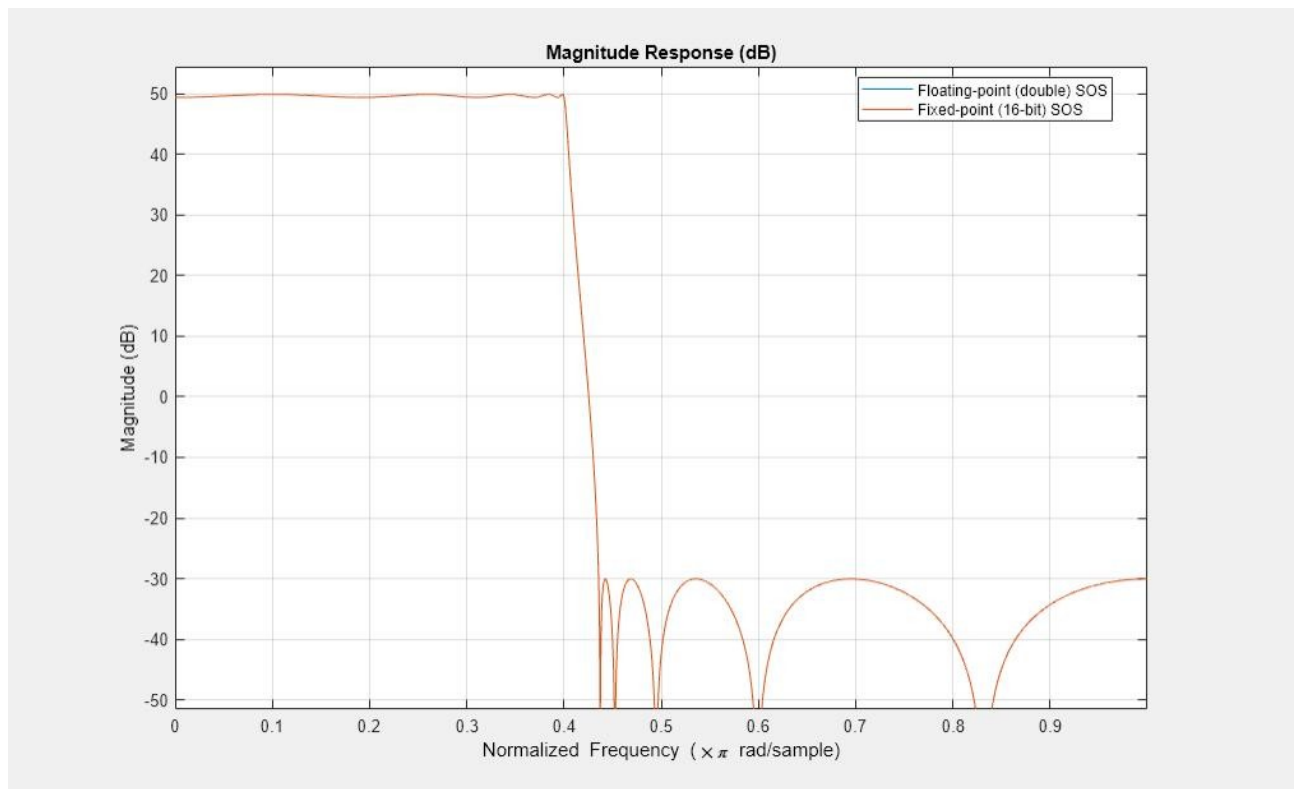


Рисунок 3.7 - АЧХ та коефіцієнти фільтра-дециматора

Для генерації коефіцієнтів за допомогою функції макросу (фіркомпілятора) у вікні FilterType потрібно вибрати тип фільтра (низькі частоти). Порядок фільтра визначається кількістю коефіцієнтів фільтра (Coefficients). У вкладці «Тип вікна» виберіть спосіб, за допомогою якого буде синтезовано АЧХ розробленого фільтра. Синтез АЧХ здійснюється тільки через вікна. Цей недолік можна усунути можливістю завантажувати коефіцієнти розробленого фільтра, отримані за допомогою середовища FDATool, включеного до Matlab. Вкладки Cutoff Freq.1 і Sample Rate визначають граничну частоту та частоту дискретизації (50 МГц і 102 МГц) відповідно.

На рисунку 3.8 показано налаштування розробленого децимаційного фільтра.

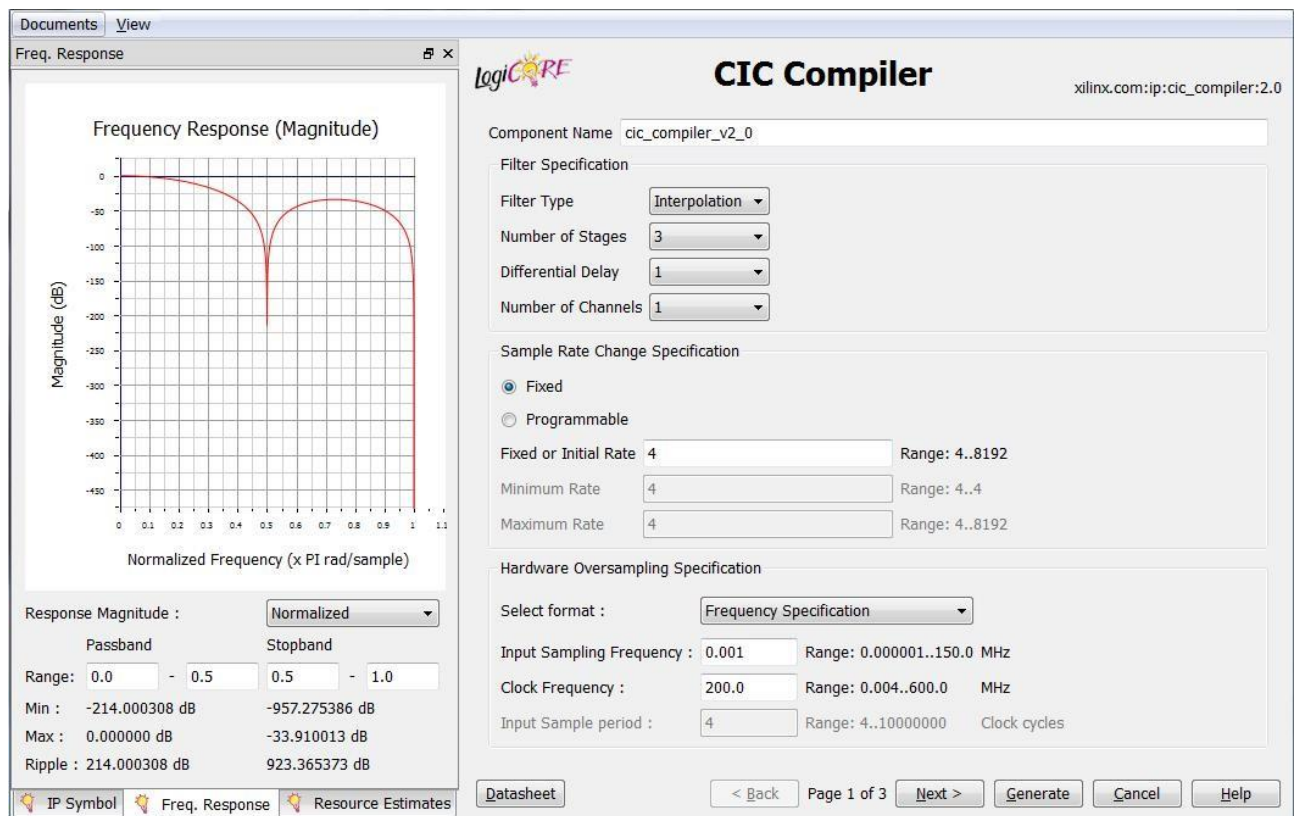


Рисунок 3.8 - Вікно налаштувань проектного фільтра-дециматора на ПЛІС

На вкладці Специфікація швидкості виберіть тип фільтра: Дециматор, Інтерполятор. У вкладці Фактор виберіть індекс децимації/інтерполяції (що відповідає кількості каналів). Також в налаштуваннях можна вибрати бітрейт шини вхідних даних, спосіб представлення вхідних даних: знаковий - десятковий зі знаком, беззнаковий - десятковий без знака, тип структури фільтра проекції (повністю паралельний, послідовний), вказати зберігання розташування коефіцієнтів.

Далі виконується графічний аналіз впливу помилки квантування коефіцієнтів фільтра на його частотну характеристику. Помилка квантування - Коефіцієнти представлені фіксованим набором бітів, наприклад 16 бітів. Операції додавання та віднімання у форматі з фіксованою комою не вимагають округлення — вони лише викликають переповнення. На відміну від додавання, множення чисел з фіксованою комою призводить до збільшення кількості

значущих цифр i , отже, вимагає округлення. Якщо результат множення на модуль не перевищує одиниці, використання формату з плаваючою комою забезпечить більшу точність.

Однак операції додавання у форматі з плаваючою комою можуть призвести до втрати точності. У цьому випадку виберіть опцію перетворення формату з плаваючою комою у формат із фіксованою комою (вкладка «Перетворення з плаваючою комою у фіксовану»), а потім масштабуйте коефіцієнти з 16-бітною точністю. На основі заданої точності функція макросу автоматично знаходить коефіцієнт масштабування.

На наступному етапі, якщо потрібно спроектувати фільтр інтерполяції або децимації (за замовчуванням цей коефіцієнт встановлений на 1), встановлюється коефіцієнт інтерполяції (або децимації) фільтра. Наступним кроком є призначення архітектури (паралельної чи послідовної) розробленого FIR-фільтра та властивостей конвеєра фільтра: FPGA, оптимізована з точки зору швидкості роботи (частота) або площі, зайнятої ресурсами (кількість використовуваних макроелементів).

Реалізація фільтра інтерполятора з використанням мегафункції аналогічна.

Для створення вхідних і вихідних висновків на структурній схемі, яку ви розробляєте, необхідно вибрати вкладку «Символи» на панелі інструментів. У лівій частині вікна необхідно по черзі вказати шлях до бібліотеки з потрібним примітивом: altera/quartus81/libraries/primitives/pin/input. У правій частині вікна з'явиться зображення вибраного примітиву. У цьому випадку це вхід вихід вхід. Після натискання кнопки ОК обраний символ з'явиться в головному полі програми. При цьому введенні автоматично активується режим повторного вставлення, у якому символ можна вставляти в кількох місцях проекту. Введені символи додаються до курсору. Тепер при натисканні лівої кнопки миші символ буде імпортовано в схему у вказану позицію. Потім його можна

перенести в інше місце на схемі і закріпити там аналогічним чином. Щоб завершити вставлення, просто натисніть клавішу ESC на клавіатурі або праву кнопку миші.

Так само введіть усі висновки, необхідні для створення проекту. Після введення всіх висновків файл проекту необхідно перезаписати.

Для цього проекту знадобляться 3 вхідні контакти (вхід для скидання, вхід для синхронізації та вихід для вхідної послідовності) та один вихідний контакт (для вихідної послідовності).

Після з'єднання всіх висновків з функціональними блоками проект необхідно скомпілювати, розпочавши повну компіляцію проекту, вибравши команду «Почати компіляцію» в меню «Процес». Компілятор пакунків Quartus II складається з кількох модулів, які виконують такі функції: [35-38]

- перевірка проекту на наявність помилок;
- логічний синтез;
- розміщення та розведення проекту в ПЛІС;
- генерація вихідних файлів для моделювання проекту;
- аналіз тимчасових показників;
- програмування.

На початку компіляції проекту витягніть інформацію про ієрархічні зв'язки між його складовими файлами та перевірте, чи немає серйозних помилок в описі проекту. Потім створюється організаційна схема проекту, і всі файли перетворюються в базу даних, яка пізніше буде використовуватися системою.

Компілятор створює файли для програмування та налаштування FPGA від Altera.

Ви можете переглянути проміжні та остаточні результати компіляції Quartus II у вікні Compilation Report. На малюнку 3.9 показано звіт про компіляцію проекту.

Flow Status	Successful - Thu Jun 10 18:48:46 2010
Quartus II Version	8.1 Build 163 10/28/2008 SJ Full Version
Revision Name	bank
Top-level Entity Name	bank
Family	Cyclone II
Device	EP2C35F484I8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	17,387 / 33,216 (52 %)
Total combinational functions	17,059 / 33,216 (51 %)
Dedicated logic registers	2,263 / 33,216 (7 %)
Total registers	2263
Total pins	18 / 322 (6 %)
Total virtual pins	0
Total memory bits	6,204 / 483,840 (1 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

Рисунок 3.9 - Звіт про компіляцію проекту

Як видно з рисунку 3.9, цей проект займає 52% логічних комірок ПЛІС, що означає наявність вільних комірок, тому за допомогою перепрограмування ПЛІС можна доповнити перелік функцій, реалізованих на ПЛІС.

Після компіляції проекту відбувається моделювання (Simulation), яке дозволяє визначити реакцію розробленого проекту на вплив заданого входу, тобто дозволяє перевірити правильність його роботи.

На малюнку 3.10 показана блок-схема фільтра, отриманого за допомогою функції макросу.

Блок цифрових фільтрів має три входи та один вихід. Застосуйте серію імпульсів синхронізації до входу синхронізації, один імпульс для скидання попереднього стану CF до входу скидання, а сигнал, який потрібно відфільтрувати, до входу in_data[7.0]. Відфільтрований сигнал видається з виходу out_data[7.0].

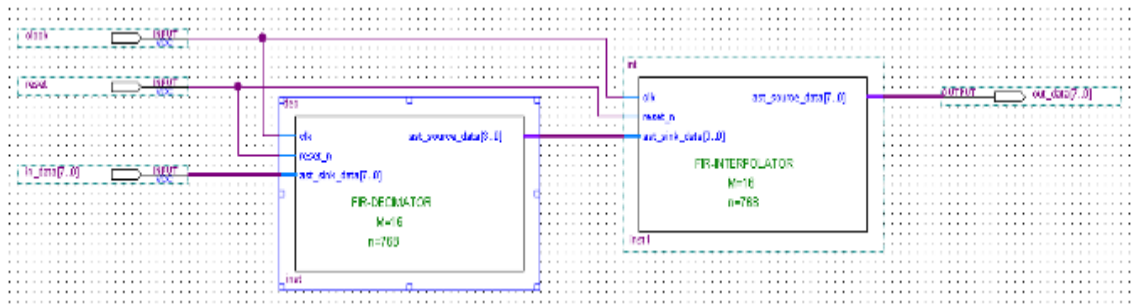


Рисунок 3.10 – Структурна схема фільтра

3.6 Тестові випробування

В результаті моделювання в середовищі Matlab були отримані такі часові характеристики, як показано на рис.5.1 і 5.2 відповідно. На осі ординат відкладено амплітуду нормалізованого сигналу, а на осі абсцис – час у наносекундах відповідно.

На вхід до блоку цифрових фільтрів подається ідеалізований сигнал LFM, як показано на малюнку 3.11.

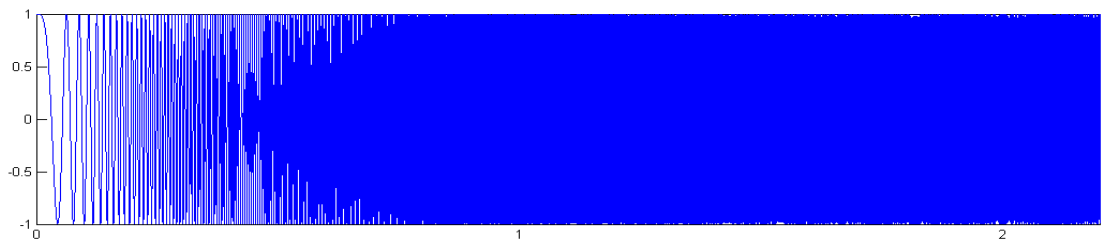


Рисунок 3.11 – Вхідний ЛЧМ сигнал

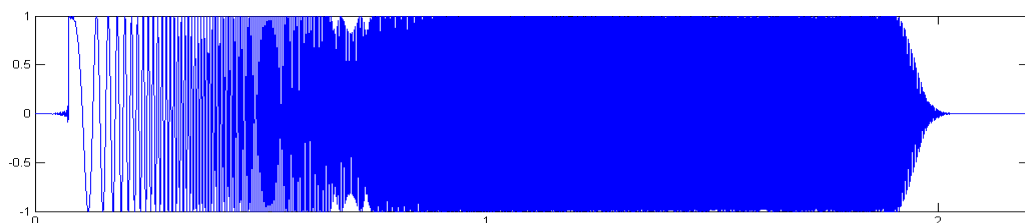


Рисунок 3.12 - Вихідний ЛЧМ сигнал із віддаленим шостим каналом

З рисунка 3.12 видно, що цифровий фільтр перетворює сигнал від 0 до s , що відповідає 50 МГц, і не змінює низькочастотні складові сигналу, що підтверджує ефективність математичної моделі фільтра.

Виходом моделювання в середовищі Quartus II є зовнішній вплив, заданий у вигляді деякого вхідного вектора (набору кодових слів). Підсистема моделювання (Simulator), що входить до складу Quartus II, синтезує вихідний сигнал, що відповідає його відповіді на задану вхідну дію відповідно до інженерного алгоритму, який дуже близький до відповіді запрограмованої FPGA. У типовій задачі розробник задає набір вхідних векторів і аналізує вихідні сигнали, отримані в результаті моделювання. Залежно від задачі підсистема моделювання дозволяє виконувати моделювання з урахуванням параметрів синхронізації реальної ПЛІС (синхронне моделювання), що дозволяє не тільки перевірити правильність логічної функції проекту, а й перевірити функціонування проекту з урахуванням обраних ПЛІС у Фактичних параметрах у найбільш жорстких умовах експлуатації.

Вхідні векторні файли в системі Quartus II будуть задані у вигляді описів у графічній формі (деякі карти часу) за допомогою Waveform Editor - файли *.vwf (Vector Waveform Files).

Для оцінки правильності роботи розробленого фільтра необхідно провести 2 випробування. У першому випадку вхідна послідовність визначалася частотою 45 МГц (22 нс), у другому випадку частота вхідної послідовності становила 100 МГц (10 нс), т. о. Візуально оцініть продуктивність цифрового фільтра.

Для моделювання потрібно задати значення вхідного висновку. Налаштуйте тактовий сигнал тривалістю від 0 до 1 мкс і періодом 20 нс для тактового виходу (оптимальна тактова частота вказана у звіті про компіляцію проекту). Для виведення скидання необхідно встановити рівень логічної

					КвРТР.2020018.01.05 ПЗ	
		№ докум.	Підпис			58

Як видно з часових діаграм при частоті 45 МГц сигналу фільтр пропускає вхідний сигнал, а при частоті 100 МГц фільтрує його. Т.о. ці діаграми підтверджують правильність роботи ЦФ.

3.7 Висновки до третього розділу

Проведено розробку цифрового фільтра у середовищі MatLab. Пазано основні етапи проектування. Описано використання математичного пакету. Проведено математичне модулювання.

					КвРТР.2020018.01.05 ПЗ	
		№ докум.	Підпис			60

ВИСНОВКИ

У даній роботі виконано програмну реалізацію цифрового фільтра на смузі девіації робочої частоти доплерівської системи вимірювання швидкості та кута зносу ДВШЗ-7. Враховуючи досить широку смугу пропускання фільтра (50 МГц), фільтр побудований як банк рівносмугових цифрових фільтрів.

В результаті проектування були виконані наступні завдання та досягнуті результати:

- 1) Аналізуються існуючі типи банків цифрових фільтрів і вибирається конкретний тип для цифрового фільтра, що розробляється;
- 2) В середовищі FDATool та SPTool програмного комплексу Matlab розроблено побудову математичної моделі набору цифрових фільтрів;
- 3) У середовищі Quartus II цифровий фільтр на основі Cyclone II EP2C35F484I8 FPGA фактично реалізовано за допомогою мови Verilog;
- 4) Проведено пробне випробування;
- 5) Побудовано структурну схему реалізації КФ.

Проведені тестові випробування показали зниження навантаження на ресурси FPGA приблизно на 52%, що означає, що FPGA можна перепрограмувати для виконання розширеного спектру завдань для СГЗ, таких як кореляція сигналів, що надсилаються та приймаються FGZ. Ця можливість реалізована за допомогою інтерфейсу JTAG. Крім того, CF, розроблений для системи ДШЗВ на основі FPGA, має низьке енергоспоживання.

					КвРТР.2020018.01.05 ПЗ	61
		№ докум.	Підпис			

НТУУ «КПІ». -Київ : НТУУ «КПІ», 2015. - 314 с. - Режим доступу: <https://ela.kpi.ua/handle/123456789/19099>.

12. Автоматизація технологічних процесів і системи автоматичного керування: Навчальний посібник /Барало О.В., Самойленко П.Г.,Гранат С.Є., Ковальов В.О. – К.: Аграрна освіта, 2010. – 557 с.

13. Руденко В. С. Промислова електроніка / В. С. Руденко, В. Я. Ромашко, В. В. Трифонюк. – Київ : Либідь, 2003. – 432 с.

14. Електричні машини і апарати: навчальний посібник / Ю.М. Куценко,В.Ф. Яковлев та ін. – К.: Аграрна освіта, 2011. – 449 с.

15. Коржик М. В. Моделювання об'єктів та систем керування засобами MatLab: навч. посіб. Для студ. вищ. навч. закл. / М. В. Коржик. – Київ : НТУУ «КПІ», 2016. – 174 с.

16. Дубовой В. М. Основи застосування ЕОМ у інженерній діяльності / В. М. Дубовой, Р. Н. Кветний. – К. : ІСДО України, 1994. – 285 с.

17. Автоматика та електропривод техніки реєстрації інформації [Електронний ресурс] : навч. посіб. / Г. Г. Власюк, В. М. Співак, К. О. Трапезон, В. Б. Швайчен-ко. - Київ : Освіта України, 2010. - 159 с. - Режим доступу: <http://ela.kpi.ua/handle/123456789/19129>.

18. Simulink. Dynamic System Simulation for MatLab : Using Simulink[Electron resource]. – Natick, MA : The MathWorks, Inc, 1999. – 605 p

19. Колонтаєвський Ю. П. Промислова електроніка і мікросхемотехніка / Ю. П. Колонтаєвський, А. Г. Сосков. під ред. А. Г. Соскова. – Вид. 2-ге, виправл. і доповн. – Харків : ХДАМГ, 2003. – 281 с.

20. Gonzales R. C. Digital Image Processing Using MATLAB / R. C. Gonzales , R. E. Woods, S. Eddins. – Prentice Hall, Upper Saddle River, NJ, 2004. – 492 p.

21. Титаренко М.В., Електротехніка: Навчальний посібник/ М.В. Титаренко. – К.: Кондор, 2013. – 240 с.

22. Виговський В. С. Автоматизація керування живильними насосами енергоблоку потужністю 200 МВт / В. С. Виговський, Ю. С. Грищук // Вісник НТУ «ХП». Серія : Проблеми удосконалення електричних машин і апаратів. – 2015. – № 13 (1122). – С. 20–31.

23. Краснопрошина А.А. Сучасний аналіз систем управління із застосуванням MatLab, Simulink, Control System : Навчальний посібник / А.А. Краснопрошина, Н.Б. Репнікова, О.А. Ільченко. – К. : "Корнійчук", 1999. – 144 с.

24. Михайленко В.Є., Інженерна та комп'ютерна графіка: Підручник / В.Є. Михайленко, В.В. Ванін, С.М. Ковальов; За ред. В.Є. Михайленка. – 6-е вид. – К.: Каравела, 2012. – 368 с.

25. Електротехнологія. Навчально-методичний посібник із контрольними завданнями. Укладач: Кашенко П.С.

26. Експлуатація машин і обладнання: Навчальний посібник / Ружицький М.А., Рябець В.І., Кіяшко В.М. та ін. – К.: Аграрна освіта, 2010. – 617 с.

27. підруч. / Козирський В.В., Каплун В.В., Волошин С.М. – К. : Аграрна освіта, 2011. – 448 с.

28. Електроніка і мікропроцесорна техніка / Сенько В.І., Лисенко В.П., Юрченко О.М., Лукін В.Є., Руденський А.А. — К. : «Агроосвіта», 2015. — 676 с.

29. Коруд В.І., Електротехніка: Підручник / В.І. Коруд, О.Є. Гамола, С.М. Малинівський; За заг. ред. В.І. Коруда. – 3-є вид., переробл. і доп. – Львів: Магнолія Плюс, 2006. – 447 с.

30. Бойко В. І. Мікрокомп'ютерна техніка / В. І. Бойко, А. Т. Нельга. - 2-ге вид. - Київ : Науково-методичний центр вищої освіти, 2008. - 254 с.

31. Ткачук В.І. Електромеханотроніка. Підручник/ В.І. Ткачук. - Львів: НУ "Львівська політехніка", 2006. - 440 с.

					КвРТР.2020018.01.05 ПЗ	
		№ докум.	Підпис			64

32. Гуржій А. М. Електротехніка та основи електроніки : підручник для здобувачів професійної (професійно-технічної) освіти / А. М. Гуржій, С. К. Мещанінов, А. Т. Нельга, В. М. Співак. - Київ : Літера ЛТД, 2020. - 288 с.

33. Попович М.Г. Теорія автоматичного керування/ М.Г. Попович, О.В. Ковальчук. -Київ, "Либідь", 1997.-504 с.

34. Експлуатація машин і обладнання: Навчальний посібник / Ружицький М.А., Рябець В.І., Кіяшко В.М. та ін. – К.: Аграрна освіта, 2010. – 617 с.

35. Загальна технологія харчової промисловості у прикладах і задачах: Підручник / Товажнянський Л.Л., Бухкало С.І., Капустенко П.О. та ін. – К.: ЦУЛ, 2011. – 832 с. – (МОН України. НТУ "ХП")

36. Електрика та магнетизм : підручник / Л. Д. Дідух. - Тернопіль : Підручники і посібники, 2020. - 464 с. - Режим доступу : <http://elartu.tntu.edu.ua/handle/lib/31412..>

37. Акопов, А. С. Імітаційне моделювання: підручник і практикум для академічного бакалаврату / А. С. Акопов. - К. : "Корнійчук", 2017. – 136с.

38. Електропривід сільськогосподарських машин, агрегатів та потокових ліній: Підручник / Є.Л. Жулай, Б.В. Зайцев, Ю.М. Лавріненко, О.С. Марченко, Д.Г. Войтюк; За ред. Є.Л. Жулая. – К.: Вища освіта, 2001. – 288 с.: іл.

39. Greenspan D. Introduction to Numerical Analysis and Applications / D. Greenspan. – Markham : Chicago, 1971. – 176 p.

40. Жученко А.І. Математичні моделі цифрових систем керування: Навч. посібник / А.І. Жученко. – К.: ІЗМН, 1997. – 240 с.

41. Костін М. О. Теоретичні основи електротехніки [Текст]: підручник у 3 т. / М. О. Костін, О. Г. Шейкіна. – Дніпро: Видво ДНУЗТ, 2006. – Т. 1. – 336 с; 2007.- Т.2.- 276 с; 2011. – Т.3, Ч.1. – 224 с; 2012.– Т.3, Ч.2. – 352 с.

42. Електропостачання агропромислового комплексу :

43. Технічний сервіс в агропромисловому комплексі: навчальний посібник / Коновалюк О.В., Кіяшко В.М., Колісник М.В. – К.: Аграрна освіта, 2013. – 404 с.

44. Довідникова книга з електроенергетики: навчальний посібник/ П.В. Волох, М.П. Цоколенко, Л.В. Ревенко, В.А. Грічаненко та ін. –К. : Аграрна освіта, 2014. – 506 с.

45. Костинюк Л.Д. Моделювання електроприводів/ Л.Д. Костинюк, В.І. Мороз, Я.С Паранчук.. - Львів: НУ “Львівська політехніка”, 2004. - 404 с.

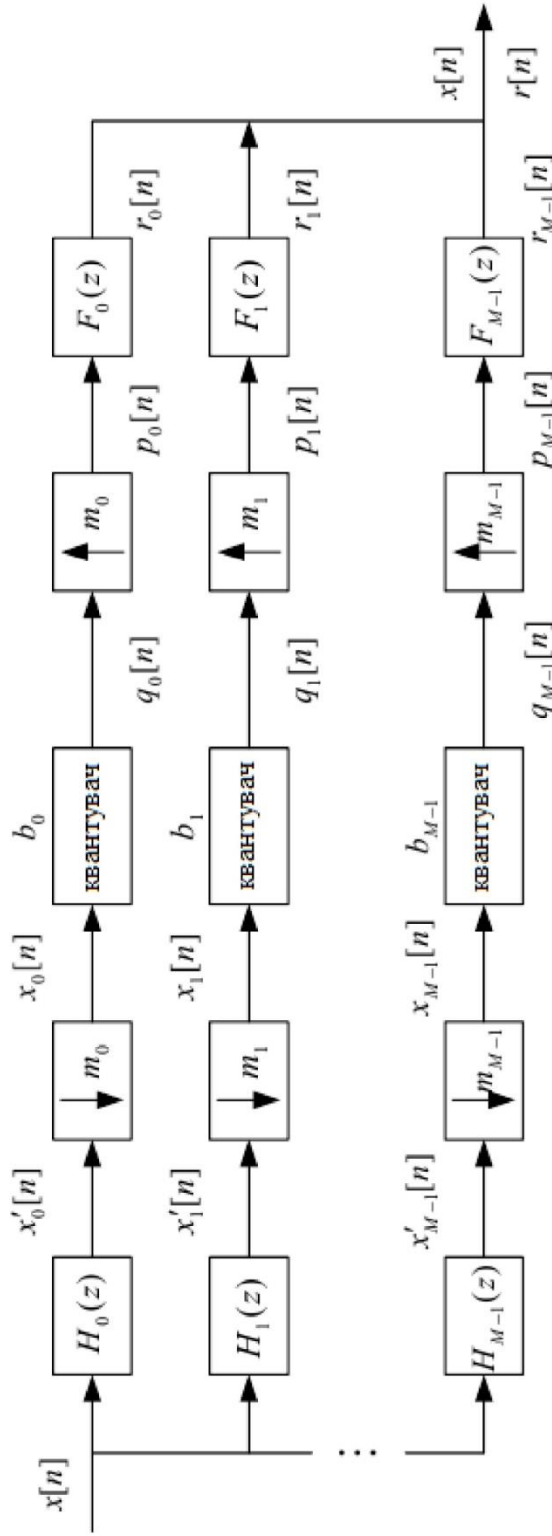
46. Монтаж електрообладнання і систем керування / За заг. ред. проф. Яковлева В.Ф. – К.: Аграрна освіта, 2009. – 348 с.

					КВРТР.2020018.01.05 ПЗ	
		№ докум.	Підпис			66

Додаток А

Структурна схема моделі ДПФ-модульованого банку фільтрів

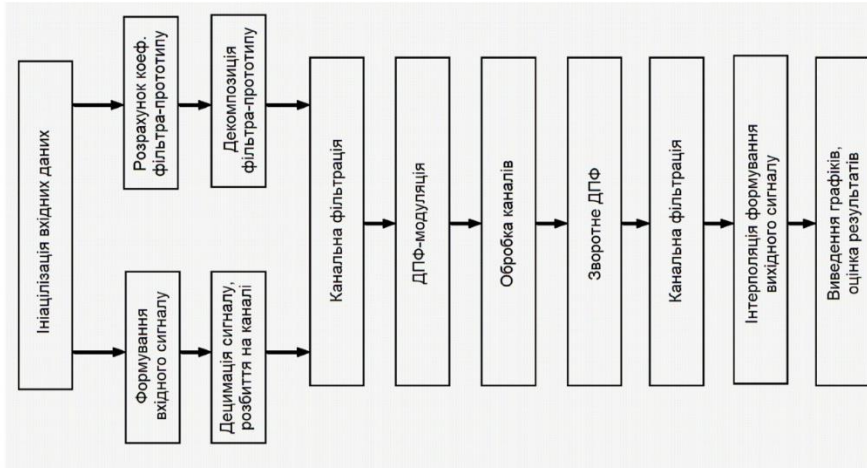
КВРТР.2020018.01.05 Е1



КВРТР.2020018.01.05 Е1									
Структурна схема									
Модель ДПФ-модульованого банку фільтрів									
Вид	Лист	№ докум.	Підпис	Дата	Літ.	Маса	Меш.	Аркуш	Аркушів
Розроб.	Панельчук М.				У				
Перевір.	Сельський А.								
Н.контр.									
Затв.	Мартинович В.В.								
ХНУ, ТР1с-20-1									

Додаток Б

Структура алгоритму реалізації банку цифрових фільтрів у середовищі MATLAB



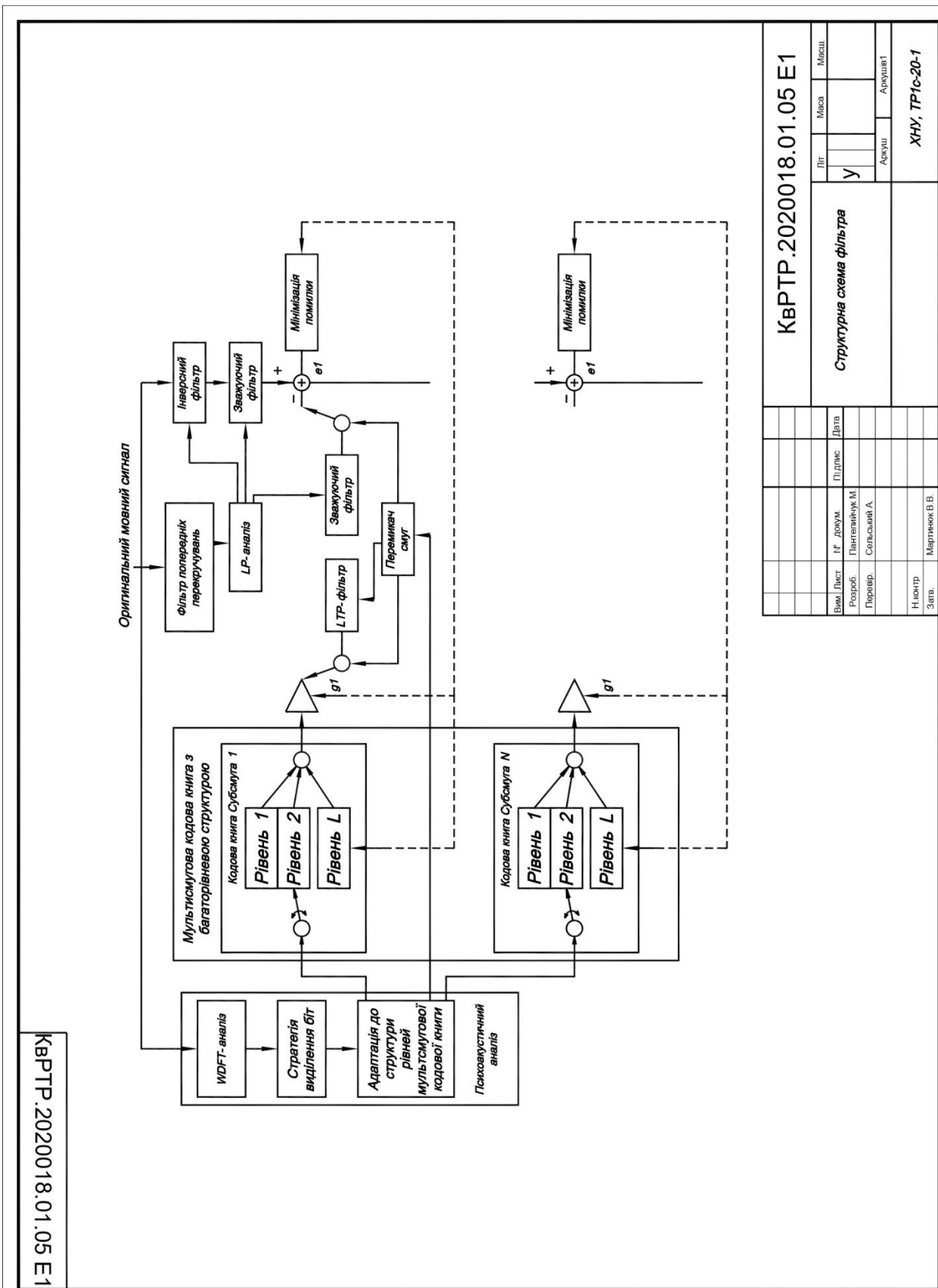
КВРТР.2020018.01.05.E8

КВРТР.2020018.01.05.E8		Літ.	Місяц	Місяч
Структурна схема		У		
Структура алгоритму реалізації банку цифрових фільтрів у середовищі MATLAB		Автори	Автори 1	
Вид	Лист	№ докум.	Підпис	Дата
Розроб.	Перевір.	Пантелейчук М. Сельський А.		
Н.контр.	Затв.	Мартинюк В.В.		

ХНУ, ТР1с-20-1

Додаток В

Структурна схема фільтра



Ім'я користувача:
Кафедра АКІПТК

ID перевірки:
1015671467

Дата перевірки:
21.06.2023 23:51:56 EEST

Тип перевірки:
Doc vs Internet + Library

Дата звіту:
22.06.2023 00:01:51 EEST

ID користувача:
100005862

Назва документа: **Пантелейчук**

Кількість сторінок: 64 Кількість слів: 8907 Кількість символів: 63677 Розмір файлу: 3.69 MB ID файлу: 1015316590

1197 слів позначені як "вилучені" та не враховуються у підрахунку слів

Виявлено модифікації тексту (можуть впливати на відсоток схожості)

3.66% Схожість

Найбільша схожість: 0.8% з Інтернет-джерелом (<https://www.bibliofond.ru/view.aspx?id=599524>)

3.66% Джерела з Інтернету 62 Сторінка 66

0.12% Джерела з Бібліотеки 1 Сторінка 66

0.35% Цитат

Цитати 1 Сторінка 67

Не знайдено жодних посилань

0.06% Вилучень

Деякі джерела вилучено автоматично (фільтри вилучення: кількість знайдених слів є меншою за 8 слів та 0%)

0.03% Вилучення з Інтернету 13 Сторінка 68

0.06% Вилученого тексту з Бібліотеки 11 Сторінка 68

Модифікації

Виявлено модифікації тексту. Детальна інформація доступна в онлайн-звіті.

Замінені символи 5

Підозріле форматування 22 сторінки

Anti-Plagiarism v-15.257

Максимальне співпадіння з одним документом 5.0%

Словники перевірки: en_US, ru_RU, ua_UA. Помилки в документах: 14%

ID: 117613 Назва: БКР Цифровий фільтр системи доплерівського вимірювача швидкості Додано в БД: 2023-06-21 Автора: Михайло ПАНТЕЛЕЙЧУК Керівники: Андрій СЕЛЬСЬКИЙ Консультанти: Опоненти:	Документ		Сумарний збіг по Базі Даних	
	Символи	Лексеми	Символи	Лексеми
	53198	500	2860 (5%)	40 (8%)

Джерело плагіату

ID	Опис	Наявність плагіату в документі	
		Символи	Лексеми

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ХМЕЛЬНИЦЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ

РЕЦЕНЗІЯ НА КВАЛІФІКАЦІЙНУ РОБОТУ

Дипломник: Пантелейчук Михайло Володимирович

Тема: Цифровий фільтр системи доплерівського вимірювача швидкості

Спеціальність: 172 «Телекомунікації та радіотехніка»

Обсяг кваліфікаційної роботи:

Кількість листів креслень 3 Кількість сторінок записки 66

1. Короткий зміст роботи та прийнятих рішень: Розроблено цифровий фільтр системи доплерівського вимірювача швидкості

2. Висновок про відповідність роботи дипломному завданню: Робота повністю відповідає поставленому завданню

3. Характеристика виконання кожного розділу, ступінь використання останніх досягнень науки і техніки і передових методів роботи: У даній роботі виконано програмну реалізацію цифрового фільтра на смузі дев'яти робочої частоти доплерівської системи вимірювання швидкості та кута зносу ДВШЗ-7. Враховуючи досить широку смугу пропускання фільтра (50 МГц), фільтр побудований як банк рівносмугових цифрових фільтрів. В результаті проектування були виконані наступні завдання та досягнуті результати: 1) Аналізуються існуючі типи банків цифрових фільтрів і вибирається конкретний тип для цифрового фільтра, що розробляється; 2) В середовищі FDATool та SPTool програмного комплексу Matlab розроблено побудову математичної моделі набору цифрових фільтрів; 3) У середовищі Quartus II цифровий фільтр на основі Cyclone II EP2C35F484I8 FPGA фактично реалізовано за допомогою мови Verilog; 4) Проведено пробне випробування; 5) Побудовано структурну схему реалізації КФ. Проведені тестові випробування показали зниження навантаження на ресурси FPGA приблизно на 52%, що означає, що FPGA можна перепрограмувати для виконання розширеного спектру завдань для CGZ, таких як кореляція сигналів, що надсилаються та приймаються FGZ. Ця можливість реалізована за допомогою інтерфейсу JTAG. Крім того, CF, розроблений для системи ДШЗВ на основі FPGA, має низьке енергоспоживання.

4. Позитивні сторони роботи: висока практична цінність роботи.

5. Негативні сторони роботи: у роботі недостатньо уваги приділяється огляду існуючих технічних рішень

6. Оцінка графічного оформлення та пояснювальної записки роботи: Пояснювальна записка оформлена коректно, згідно діючих стандартів оформлення документації

7. Відгук про роботу в цілому: Робота виконана на належному науково-технічному рівні.

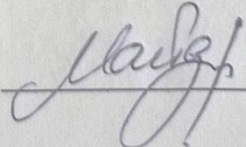
8. Інші зауваження: відсутні

9. Оцінка дипломної роботи: добре (4,25/В)

Рецензент (прізвище, ім'я, по батькові, посада, місце роботи)

Мабдані Давло Сергійович, к.т.н., доцент
каф. машин і апаратів, електро механізмів
та енергетичних систем, ХМУ

"22" 06 2023 р.

 (підпис)

Завідувачу кафедри АКІТтаР
д-ру техн. наук, проф. Мартинюку В.В.

Пантелейчук М.В.

ПІБ здобувача вищої освіти

ФІТ, 3 курсу, групи ТР1с-20-1

ЗАЯВА

З правилами чинного Положення «Про систему забезпечення академічної доброчесності у Хмельницькому національному університеті» від 01.07.2022, згідно з яким виявлення плагіату є підставою для відмови в допуску кваліфікаційної роботи до захисту та застосування заходів дисциплінарної та академічної відповідальності, ознайомлений(а). Про використання програмно-технічних засобів для перевірки кваліфікаційних робіт здобувачів вищої освіти на наявність плагіату ознайомлений(а) та надаю свою згоду на обробку та збереження університетом моєї роботи в інституційному репозитарії університету.

Також надаю університету право на передачу моєї роботи для обробки та збереження в базах даних програмно-технічних засобів (Unicheck та Anti-Plagiarism) та використання роботи для виявлення плагіату в інших роботах, які перевіряються програмно-технічними засобами та користувачами, що мають доступ до цих програмно-технічних засобів, виключно в обмежених цілях для виявлення плагіату в текстах робіт.

Робота для перевірки університетом надається в друкованому та електронному варіанті. Електронна версія моєї роботи збігається (ідентична) з друкованою.

07.06.2023

дата



підпис

**РІШЕННЯ ЕКСПЕРНОЇ КОМІСІЇ
КАФЕДРИ АВТОМАТИЗАЦІЇ, КОМП'ЮТЕРНО-ІНТЕГРОВАНИХ ТЕХНОЛОГІЙ ТА
РОБОТОТЕХНІКИ
ПРО ДОПУСК КВАЛІФІКАЦІЙНОЇ РОБОТИ ДО ЗАХИСТУ**

Підтверджуємо ознайомлення з результатом звіту подібності щодо роботи, генерованого системою виявлення текстових збігів/ідентичності/схожості:

Назва: Цифровий фільтр системи доплерівського вимірювача швидкості

Автор: Пантелейчук Михайло Володимирович

Спеціальність: 172 – Телекомунікації та радіотехніка

Освітня програма: Телекомунікації та інформаційно-комунікаційні технології

Науковий керівник: Сельський Андрій Анатолійович.А., к.ф-м.н., доцент

Після аналізу звіту подібності зроблено такий висновок:

№	Висновок	Позначка про відповідність
1	Запозичення, виявлені в роботі, є законними і не є плагіатом. Робота приймається до захисту.	відповідає
2	Виявлені запозичення не є плагіатом, розміщені в розділах, які не описують безпосередньо авторське дослідження, але кількість цитат перевищує обсяг, виправданий поставленою метою роботи. Робота приймається до захисту, але має бути відкоригована. Відкоригований варіант має бути поданий на кафедру за 2 дні до захисту, разом із заявою щодо самостійності виконання письмової роботи та ідентичності друкованої й електронної версії роботи	
3	Виявлені запозичення не є плагіатом, але частково розміщені в розділах, які описують безпосередньо авторське дослідження, а кількість цитат перевищує обсяг, виправданий поставленою метою роботи. В зв'язку з цим мета роботи та поставлені завдання не були досягнені. Робота може бути допущена до захисту (наступного року) після того, як буде відкоригована та допрацьована і успішно пройде повторну перевірку на академічний плагіат.	
4	Робота містить навмисні текстові спотворення, передбачувані спроби укриття запозичень або інші прояви академічного плагіату. Робота містить фабрикацію або фальсифікацію даних. Робота не допускається до захисту.	
5	Інше:	

Підтвердження:

Запозичення, виявлені в роботі, є законними і не є плагіатом, оскільки:

1) у тексті кваліфікаційної роботи системами перевірки на плагіат виявлено схожість з деякими документами в частині загальноживаних обов'язкових словосполучень у стандартних бланках (титулка, відомість документів), у структурі змісту, назвах розділів/підрозділів тощо, у назвах публікацій у переліку джерел посилання;

2) усі запозичення є фрагментарними або мають належним чином оформленні посилання;

3) виявлені модифікації тексту не впливають на відсоток схожості.

Сумарний обсяг всіх запозичень, визначений системою виявлення збігів ідентичності/схожості, складає 3,66% і адресується до 63 джерел, що, з урахуванням наведених обґрунтувань, відповідає характеру теми і свідчить на користь кваліфікаційної роботи.

Дата 28.06.2023р.

Завідувач кафедри

Гарант освітньої програми

Керівник кваліфікаційної роботи

Валерій МАРТИНЮК

Денис МАКАРИШКІН

Андрій СЕЛЬСЬКИЙ