

## ВИКОРИСТАННЯ НЕЛІНІЙНИХ ЦИФРО-АНАЛОГОВИХ ПЕРЕТВОРЮВАЧІВ ДЛЯ ПОБУДОВИ ПРЯМИХ ЦИФРОВИХ СИНТЕЗАТОРІВ ЧАСТОТИ

*Наукова стаття присвячена дослідженню одного з основних функціональних блоків прямого цифрового синтезатора частоти – цифро-аналогового перетворювача (ЦАП). Запропонована архітектура прямого цифрового синтезатора частоти із застосуванням нелінійного ЦАП. Для побудови нелінійного ЦАП запропоновано застосування атенюатора-подільника, який полягає у використанні кодокерованої комутації точок проміжних з'єднань лінійки послідовно з'єднаних резисторів однакового номіналу.*

*Ключові слова: синтезатор частоти, прямі цифрові синтезатори частоти, нелінійний ЦАП.*

O.I. POLIKAROVSKYKH, I.V. HULA

Khmelnitsky National University

## USE OF NONLINEAR DIGITAL-ANALOG CONVERTERS FOR CONSTRUCTION OF DIRECT DIGITAL FREQUENCY SYNTHESIZERS

*The scientific article is devoted to the study of one of the main functional units of the direct digital frequency synthesizer - digital-to-analogue converter (DAC). The architecture of a direct digital frequency synthesizer using a nonlinear DAC is proposed. To build a nonlinear DAC, the use of a divider attenuator is proposed, which consists in the use of coded switching of the points of intermediate connections of a line of series-connected resistors of the same denomination. The main functional unit of the DDS is the phase accumulator. The unsolved problem of the phase accumulator is the problem of the speed of propagation of the transfer signal from the discharge to the discharge of the terms. Increasing the speed of DDS is possible in the following way: increasing the speed of the phase battery and reducing its power consumption, reducing the size of the permanent storage device of the phase-amplitude converter, choosing the optimal DAC structure. Reducing energy consumption is one of the most important tasks when designing a DDS. Phase battery and DAC units have the highest power consumption in a direct digital frequency synthesizer, although the DC storage unit also has a significant power consumption. When developing high-speed DDS, two main approaches to their structure are also developed and competing - with the use of ROM and without the use of ROM. In the second case, most developments use a nonlinear DAC, which solves the problem of forming the structure of the harmonic signal and digital-to-analogue conversion.*

*Keywords: frequency synthesizer, direct digital frequency synthesizers, nonlinear DAC.*

### Постановка задачі

Відчутний прогрес в галузі радіотехніки у формуванні та обробці корисної інформації надає жорсткі вимоги до джерела носійного сигналу інформаційного повідомлення. На сучасному рівні розвитку систем зв'язку у процесі проектування збуджувачів, які як правило є основним джерелом носійної частоти, перевага надається синтезаторам частоти (СЧ). Розвиток найважливіших галузей сучасної науки і техніки, особливо таких як телекомунікації, радіолокація і радіонавігація, вимірювальна техніка, значною мірою визначається рівнем розвитку синтезаторів частоти. Проектовані СЧ мають забезпечувати компактне розміщення каналів радіозв'язку з гранично мілкою сіткою частоти і мінімальними допусками на тривалу часову нестабільність і точність встановлення частоти, широкий діапазон переналаштування, високу чистоту спектру вихідного сигналу і мінімально можливий час переналаштування з однієї частоти на іншу. Найбільш перспективними СЧ є обчислювальні синтезатори – пристрої, що перетворюють коливання високостабільного опорного генератора в сигнали із заданими законами зміни частоти, фази і амплітуди. Такі якості прямих обчислювальних синтезаторів, як стійкість до впливу дестабілізуючих факторів, малий час переналаштування частот, здатність формування складних сигналів, можливість повної мікромініатюризації і можливість програмування параметрів дозволили вже сьогодні істотно підвищити техніко-економічні показники багатьох сучасних радіосистем.

Для забезпечення перелічених вимог доцільно застосувати прямі цифрові синтезатори частоти (DDS). По-перше, в них практично відсутні перехідні процеси, що визначає їх високу швидкодію. По-друге, архітектура DDS дає можливість з найменшими затратами виготовляти їх в інтегральному виконанні, в тому числі у вигляді макросів для програмованих логічних інтегральних схем (ПЛІС). По-третє, це найдешевші та технологічно прості синтезатори [1].

Для виготовлення перспективних DDS провідними фірмами розробниками пропонується використати високочастотні напівпровідникові технології. Для високочастотних DDS у цей час використовуються три основні технології: на основі InP, SiGe й GaAs. Перспективні DDS здебільшого поки пройшли апробацію лише при формуванні гармонічних вихідних коливань. Крім того, представлені розробки DDS наразі відрізняються істотними обмеженнями. Так, розрядність фазового акумулятора більшості DDS не перевищує 12 біт, що зовсім недостатньо для завдань формування сигналів із необхідними параметрами. При розробці швидкодіючих DDS також розвиваються й конкурують два основних підходи до їхньої структури – з використанням ПЗУ й без використання ПЗУ. У другому випадку в більшості розробок

застосовується нелінійний ЦАП, з допомогою якого вирішуються завдання формування структури гармонічного сигналу й цифрово-аналогового перетворення.

**Виклад основного матеріалу**

Основним функціональним блоком DDS є акумулятор фази. Не вирішеною проблемою фазового акумулятора є проблема швидкості поширення сигналу переносу із розряду у розряд доданків [2]. Затримка поширення сигналу переносу призводить до нерівномірності формування сигналів переповнення фазового акумулятора і відповідно до формування квазіперіодичного вихідного сигналу – секвентності [3]. На практиці такий фазовий акумулятор не може здійснити додавання за один тактовий період, через затримку результату на кожному одиничному суматорі. Підвищення швидкодії DDS можливо у наступний спосіб: підвищення швидкодії фазового акумулятора та зменшення його енергоспоживання, зменшення розміру постійного запам'ятовуючого пристрою перетворювача фаза-амплітуда, вибору оптимальної структури ЦАП. Зменшення енергоспоживання є одним із найважливіших завдань під час проектування DDS [4]. Найбільше енергоспоживання у прямому цифровому синтезаторі частоти мають блоки акумулятора фази та ЦАП, хоча і блок постійного запам'ятовуючого пристрою має значне енергоспоживання [4, 5].

В [6] показано, що в більшості сучасних DDS використовується достатньо висока на даному етапі розвитку мікроелектроніки розрядність ЦАП, яка складає 10–16 розрядів. Це забезпечує рівень вищих гармонік у вихідному сигналі не більше – (20...15 дБ). При цьому також знижується рівень дискретних компонент і спектру поблизу носійної, що проявляється у випадку нецілого числа. Також вказані деякі способи корекції такого роду складових: спеціальний вибір кроку дискретизації за рівнями; індивідуальна калібровка і вирівнювання рівнів спрацювання ключів у ЦАП і якості перехідних процесів; використання двох чи трьох ступенів вибірок із вихідного сигналу ЦАП, що виключають вплив початкового процесу після перемикання; використання подільників частоти з коефіцієнтом  $N/(N+1)$  у складі схеми формування опорного колювання, що покращує співвідношення між вихідною і тактовими частотами для деяких несприятливих співвідношень вказаних частот; формування на вході молодшого розряду ЦАП псевдовипадкової послідовності для розширення спектру паразитних спектральних складових (ПСС); збільшення періоду повторення помилок усереднення використанням більш довгої псевдовипадкової послідовності; стохастизація (рандомізація) вихідних сигналів DDS.

Перші чотири способи знижують величину похибки дискретизації, а останні три призводять до того, що спектральна густина потужності зосереджених за частотою паразитних спектральних складових розподіляється більш рівномірно, наближається до рівня шумових складових. Тобто, архітектура стандартного прямого цифрового синтезатора частоти наведено у роботі [7], має великий обсяг ПЗП і ЦАП із високим розрізненням необхідні для спектральної чистоти вихідного гармонічного сигналу. Однак великий ПЗП автоматично призводить до високого енергоспоживання, низької надійності, зниженню часу доступу та збільшення площі синтезатора. Спроби зменшення обсягу ПЗП із застосуванням різноманітних методів стиснення: метод Ніколаса [8], метод CORDIC [9], метод представлення рядами Тейлора [10] досягли зменшення розміру ПЗП у деяких випадках до 30 разів. Однак у всіх цих методах необхідне застосування цифрових суматорів або інших більш складних функціональних блоків, і в результаті зменшення розміру ПЗП із застосуванням цих методів не призводить до кардинального зменшення загальної потужності, яку споживає синтезатор. У роботі [11] було запропоновано новий підхід, рис. 1.

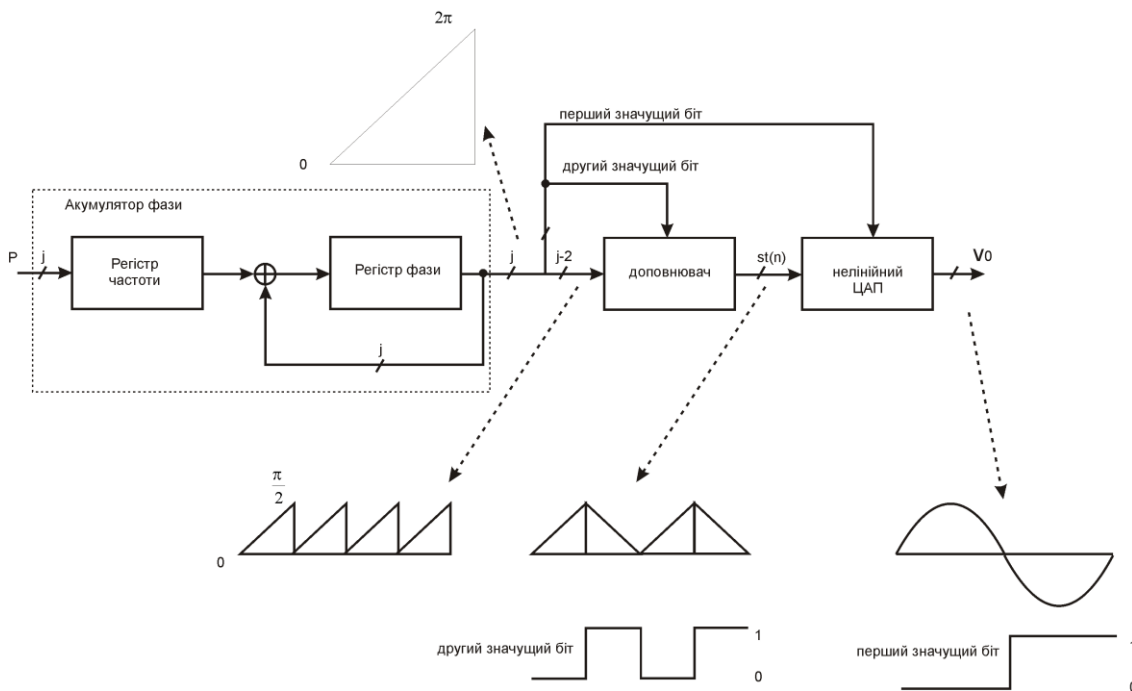


Рис. 1. Пропонована архітектура DDS із застосуванням нелінійного ЦАП

У цій архітектурі нелінійний ЦАП займає місце ПЗП та лінійного ЦАП. Нелінійний ЦАП перетворює цифрову інформацію про фазу сигналу із фазового акумулятора напряму у гармонічний вихідний сигнал. Якщо запропонована структура вимагає тієї ж кількості вхідних біт даних та тієї ж самої кількості біт розрізнення амплітуди, як і класичний DDS, то точність запропонованої архітектури буде ідентична стандартному синтезатору із тими самими параметрами. Головною перевагою запропонованої архітектури є те що непотрібно використовувати ПЗП. Таким чином енергоспоживання запропонованого синтезатора буде менше ніж у класичного DDS, якщо нелінійний ЦАП буде споживати порівняну потужність до лінійного ЦАП.

Метод проектування нелінійного ЦАП запропоновано у роботі [11]. Відповідно до рис. 1, вихід нелінійного ЦАП  $V_0$  – це функція виходу доповнювача  $st(n)$  і першого значущого біту виходу акумулятора фази  $j$ . Будемо вважати, що максимальне значення вихідного гармонічного сигналу дорівнює  $2^i - 1$ , де  $i$  визначає кількість біт розрізнення амплітуди гармонічного сигналу. Тоді ідеальний вихідний сигнал  $V_0$  можна представити як:

$$V_0 = \begin{cases} (2^i - 1) \sin\left(\frac{st(n)}{2^j - 1}\right), & \text{коли MSB} = 0 \\ -(2^i - 1) \sin\left(\frac{st(n)}{2^j - 1}\right), & \text{коли MSB} = 1 \end{cases}, \quad (1)$$

де  $0 \leq st(n) \leq 2^{j-2} - 1$ . Ціле число  $j$  дорівнює кількості старших біт із виходу фазового акумулятора, які використовуються, як вхідні біти нелінійного ЦАП. Значення  $j$  може бути рівне або менше ніж загальна кількість біт виходу фазового акумулятора. Для практичної реалізації нелінійного ЦАП використаємо  $2^{j-2}$  ЦАП комірок. Для  $k$  комірок ЦАП, де  $k = 0, \dots, 2^{j-2} - 1$ , де вихід ціле число –  $o_k$ .

Для даного числа  $st(n)$  вихід нелінійного ЦАП  $V_0$  визначається, як сума виходів комірок ЦАП від комірки 0 до комірки  $st(n)$  і може бути записаний як

$$|V_0| = \sum_{k=0}^{st(n)} o_k, \quad (2)$$

де знак числа  $V_0$  залежить від значення старшого біта вихідного фазового слова. Спираючись на (1) та (2) вихідне значення  $k$ -ї комірки ЦАП може бути представлено використовуючи наступні ітеративні операції:

$$o_k = \begin{cases} \left[ (2^i - 1) \sin\left(\frac{0.5}{2^j - 1}\right) \right], & \text{коли } k = 0 \\ \left[ (2^i - 1) \sin\left(\frac{k + 0.5}{2^j - 1}\right) - \sum_{m=0}^{k-1} o_m \right], & \text{коли } 1 \leq k \leq 2^{j-2} - 1 \end{cases}, \quad (3)$$

де квадратні дужки означають операцію заокруглення до найближчого цілого. Значення 0.5 у рівнянні (3) виникає внаслідок застосування молодшого значущого біта для визначення фази і амплітуди в доповнюванні. Процедура знаходження  $o_k$  формує помилки представлення гармонічного сигналу внаслідок процедури округлення до цілого. Однак цілі значення  $o_k$  забезпечують узгодженість між комірками ЦАП, та забезпечують спрощення будови ЦАП. Для ідеального нелінійного ЦАП форма вихідного гармонічного сигналу за точністю представлення буде тотожною до класичного ПЦСЧ із  $i$ -бітним лінійним ЦАП та  $j$ -бітним фазовим акумулятором для ПЗП.

З (3) можна визначити, що мінімальне значення  $o_k$  зазвичай дорівнює нулеві. Однак максимальне значення  $o_k$ ,  $o_{\max}$  залежить від значення  $i$  та  $j$ . Значення  $o_{\max}$  завжди може бути отримане при  $k = 0$ , де нахил функції синус досягає максимального значення при  $(2^i - 1)\pi/2^{j-1}$ . Можна зробити висновок, що  $o_{\max}$  подвоюється коли  $i$  зростає на 1 біт, і зменшується на половину, коли  $j$  зростає на 1 біт. В результаті загальна площа запропонованого DDS на основі нелінійного ЦАП зростає незначним чином із зростанням розміру фазового слова. Тоді як у класичному DDS на основі ПЗП зростання фазового слова на 1 біт призводить до подвійного зростання обсягу ПЗП, а отже енергоспоживання та займаної площі.

Отже запропонована архітектура має значні переваги з точки зору споживаної потужності та площі, що займає синтезатор при високому значення фазового розрізнення, що й вимагається у більшості застосувань.

Базуючись на запропонованому методі, квадратурний DDS на основі нелінійного ЦАП може бути побудований на основі ланцюжків резисторів – так званих перетворювачах Кельвіна [12].

Вхідний сигнал  $st(n)$  та старший значущий біт фазового акумулятора декодується так щоб лише один з перемикачів подільника напруги Кельвіна був комутований, лише один з виходів під'єднався до виходу ЦАП. Значення опору кожної комірки ЦАП пропорційна до  $o_k \cdot R$ , а загальний опір усієї лінійки резисторів

пропорційний до  $2^{i+1} \cdot R$ , де  $R$  – опір одиничного резистора. Отже вихідна напруга нелінійного ЦАП може бути записана як

$$V_0 = \begin{cases} \frac{V_{ref}}{2^i R} \sum_{k=0}^{st(n)} o_k R, & \text{коли MSB} = 0 \\ -\frac{V_{ref}}{2^i R} \sum_{k=0}^{st(n)} o_k R, & \text{коли MSB} = 1 \end{cases} \quad (4)$$

Завдання побудови нелінійного ЦАП для DDS вирішується шляхом застосування атенюатора-подільника, який полягає у використанні кодокерованої комутації точок проміжних з'єднань лінійки  $N$  послідовно з'єднаних резисторів однакового номіналу, в якій на верхній (крайній вивід лінійки резисторів) подається вхідна напруга, а нижній (крайній вивід лінійки резисторів) підключено до спільного виводу атенюатора-подільника (подільника Кельвіна), відрізняється тим що, для збільшення кількості квантованих точок вихідних значень шкали атенюатора-подільника, до значень більших за  $N$  (подільника Кельвіна), вхідний сигнал кодокеровано подається на виводи (точки з'єднання) починаючи з верхньої  $N$  і наступних вниз до  $N/2$ , при цьому комутація вхідної напруги на верхній вивід  $N$  реалізує класичну шкалу перетворення із  $N$  значеннями, а використовуючи наступні проміжні точки  $N - 1$  і до  $N/2$  отримуємо, окрім наявних  $N$ , ще додаткові квантовані значення шкали перетворення [13, 14].

Робота методу полягає в послідовній комутації стану атенюатора-подільника згідно послідовних значень шкали перетворення яку забезпечують вхідний і вихідний комутатори, згідно заданого алгоритму режиму комутації. Для порівняння проведемо розрахунки кількості квантованих значень шкали перетворення для класичних схем подільника Кельвіна і атенюатора-подільника, для типових значень кількості резисторів (однакової для обох схем). В таблиці 1 наведено типові значення параметрів АП Кельвіна і АПТ та їх порівняльні співвідношення [13, 14].

Таблиця 1

**Порівняльні характеристики АПТ і АП Кельвіна**

Кількість резисторів NR (N АП Кельвіна)	2	4	8	16	32
Кількість квантових точок шкали АПТ	2	6	22	80	324
Приріст квантових значень $\Delta N$	0	2	14	64	292
Виграш	1	1,5	2,75	5	10,125

Пропонується збільшити роздільну здатності (кількість квантованих значень шкали перетворення) і розширити функціональні можливості нелінійного ЦАП шляхом застосування атенюатора-подільника шкала перетворення якого має форму наближену до гармонічної. Якщо ж для проєктованого DDS вимагається високе розрізнення за амплітудою, тоді використовуються довгі ланки резисторів, що призводить до неоднакової постійної часу  $\tau = RC$  на різних ділянках подільника Кельвіна. Це призводить до виникнення гармонічних спотворень вихідного синтезованого сигналу, застосування АПТ подільника нівелює цю проблему, за рахунок використання паралельних ланок резисторів, а вибір точних коефіцієнтів перетворення дає можливість боротися із гармонічними та амплітудними спотвореннями синтезованого сигналу. Для перевірки пропонованого методу у системі Proteus 7 Professional було розроблено прототип квадратурного DDS, що складається із 16-бітного фазового акумулятора на основі суматора Галуа і двох нелінійних ЦАП із 11-бітною розрядністю. Прототип розроблено для виготовлення у 1,2 мкм КМОП технологічному процесі. Прототип має 10-бітне розрізнення за частотою. Прототип має площу  $1,7 \times 1,7$  мм<sup>2</sup> тактову частоту 25 МГц, і швидкість перемикання між частотами 40 нс, розсіювана потужність за результатами моделювання складає 4мВт при значенні опорної напруги 3,3 В. За тієї ж самої опорної частоти класичний DDS має розсіювану потужність 30–40 мВт. Структура квадратурного DDS, що використовує нелінійний ЦАП наведено на рис. 2.

### Висновки

Запропоновано метод синтезу DDS на основі нелінійного ЦАП замість ПЗП із відліками гармонічної функції, що дало можливість створення DDS із значно меншим енергоспоживанням ніж у класичного DDS. Потрібну точність вдалося досягти за рахунок використання нового підходу до побудови подільника ЦАП не на основі подільника Кельвіна, а на основі структури атенюатора-подільника із паралельними ланками резисторів ЦАП. Розроблено структуру квадратурного DDS, що використовує нелінійний ЦАП. Для перевірки пропонованого методу у системі Proteus 7 Professional було розроблено прототип квадратурного DDS, що складається із 16-ти бітного фазового акумулятора на основі суматора Галуа і двох нелінійних ЦАП із 11-ти бітною розрядністю. Прототип розроблено для виготовлення у 1.2 мкм КМОП технологічному процесі. Прототип має 10-ти бітне розрізнення за частотою. Прототип має площу 1.7 на 1.7 мм<sup>2</sup> тактову частоту 25 МГц, і швидкість перемикання між частотами 40 нс, питома потужність за результатами моделювання складає 4мВт при значенні опорної напруги 3.3В. За тієї ж самої опорної частоти класичний DDS має питому потужність 30–40 мВт.

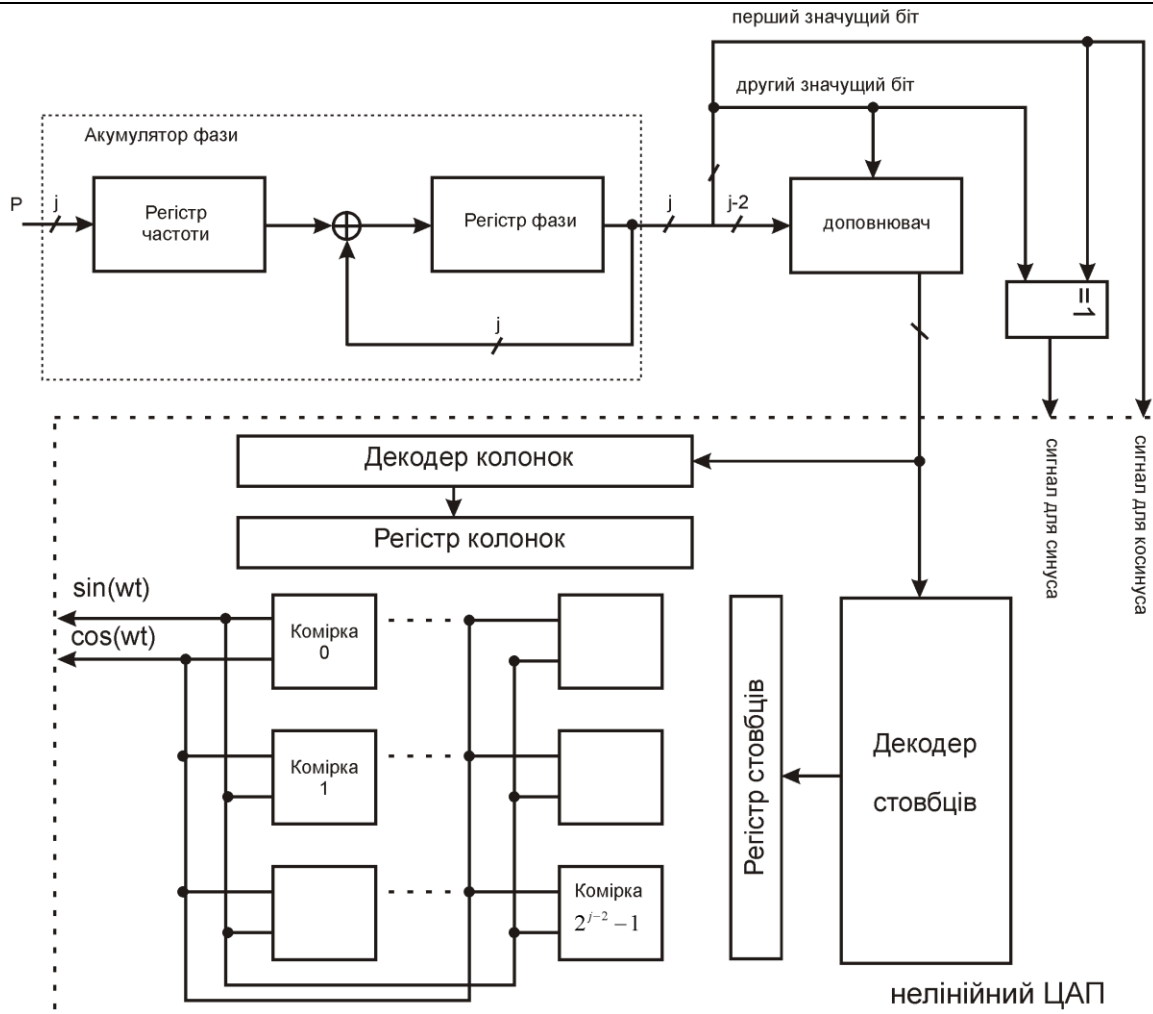


Рис. 2. Структура квадратурного DDS, що використовує нелінійний ЦАП

## Література

1. Полікаровських О.І. Методи перетворення фаза-амплітуда у цифрових обчислювальних синтезаторах / О.І. Полікаровських, І.А. Мостовік // Матеріали 9-ї міжнародної молодіжної науково-технічної конференції Сучасні проблеми радіотехніки та телекомунікацій «РТ-2013». – м. Севастополь, 2013.– С.41–42.
2. Cordesses L. Direct Digital Synthesis: A Tool for Periodic Wave Generation (Part 1) / Cordesses L. // IEEE Signal processing magazine. – P.49–54.
3. Полікаровських О.І. Методи формування квазігармонічних сигналів з дворівневих у цифрових синтезаторах частоти / О.І. Полікаровських, І.В. Троцишин // Вісник вінницького політехнічного університету.–№1.–2005.
4. Byung-Do Yang An 800-MHz Low-Power Direct digital Frequency synthesizer With an On-Chip D/A converter / Byung-Do Yang, Jang-Hong Choi, Seon-Ho Han // IEEE Journal of solid-state circuits. – 2004. – V.39. – № 5.
5. De Caro D. High performance direct digital frequency synthesizers in 0.25  $\mu\text{m}$  CMOS using dual-slope approximation / De Caro D., Strollo A. G. M. // IEEE Journal Solid-State Circuits. – V. 40. – №11. – P. 2220–2227.
6. Сиберт У.М. Цепи, сигнали, системи. В 2-х ч. Ч. 1. – М.: Мир, 1988. – 336с.
7. Sodagar A.M. A pipelined ROM-less architecture for sine-output directdigital frequency synthesizers using the second-order parabolic approximation. / Sodagar A.M., Lahiji G.R. // IEEE Transaction on Circuits and Systems II. – V. 48. – № 9. – P. 850–857.
8. Nicholas H.T. The Determination of the Output Spectrum of Direct Digital Frequency Synthesizers in the Presence of Phase Accumulator Truncation. / Nicholas H.T. // Thesis Masters of Science in Electrical Engineering. UCLA. – 1985.
9. Wallace C. S. A suggestion for a fast multiplier / Wallace C. S // IEEE Trans. Computers. – 1964. – V. EC-13. – pp. 14–17.
10. Schiffer J. EW Systems Synthesizers Find a New Design Approach. / Schiffer J. // MSN. – 1981.
11. Symmetricom [Електронний ресурс]. // Datasheet Quantum SA.45s CSAC Chip Scale Atomic Clock. – Режим доступу: <http://www.symmetricom.com/resources/download-library/documents/datasheets/quantum-sa45s-csac/>

12. Kalle Palomaki. A Digital Sinusoidal Signal Synthesizer Based on Feedback. / Kalle Palomaki // Tampere university of technology. – 1999.
13. Хармут Х.Ф. Несинусоидальные волны в радиолокации и связи: пер. с англ. – М.: Радио и связь, 1985.
14. Троцишин І.В. Вимірювання та перетворення фазочастотних параметрів радіосигналів.– Хмельницький : ПП Ковальський В.В., 2002. – 382 с.

#### References

1. Polikarovskiykh O.I Metody peretvorennia faza–amplituda u tsyfrovyykh obchysluvalnykh syntezatorakh / O.I. Polikarovskiykh, I.A. Mostoviuk // Materialy 9–oi mizhnarodnoi molodizhnoi naukovo–tekhnichnoi konferentsii Suchasni problemy radiotekhniki ta telekomunikatsii «RT–2013». – m. Sevastopol, 2013.– S.41–42.
2. Cordesses L. Direct Digital Synthesis: A Tool for Periodic Wave Generation (Part 1) / Cordesses L. // IEEE Signal processing magazine. – P.49–54.
3. Polikarovskiykh O.I. Metody formuvannia kvaziharmonichnykh syhnaliv z dvorivnevyykh u tsyfrovyykh syntezatorakh chastoty / O.I. Polikarovskiykh, I.V. Trotsyshyn // Visnyk vinnitskoho politekhnichnoho universytetu. –#1.–2005.
4. Byung–Do Yang An 800–MHz Low–Power Direct digital Frequency synthesizer With an On–Chip D/A converter / Byung–Do Yang, Jang–Hong Choi, Seon–Ho Han // IEEE Jornal of solid–state circuits. – 2004. – V.39. –#5.
5. De Caro D. High performance direct digital frequency synthesizers in 0.25  $\mu\text{m}$  CMOS using dual–slope approximation / De Caro D., Strollo A. G. M. // IEEE Journal Solid–State Circuits. – V. 40. – #11. – P. 2220–2227.
6. Sybert U.M. Tsepy, syhnalny, systemy. V 2–kh ch.Ch.1.– M.:Myr, 1988.– 336s.
7. Sodagar A.M. A pipelined ROM–less architecture for sine–output directdigital frequency synthesizers using the second–order parabolic approximation. / Sodagar A.M., Lahiji G.R. // IEEE Transaction on Circuits ans Systems II. – V. 48. – #9. – P. 850–857.
8. Nicholas H.T. The Determination of the Output Spectrum of Direct Digital Frequency Synthesizers in the Presehce of Phase Accumulator Truncation. / Nicholas H.T. // Thesis Masters of Science in Electrical Engineering. UCLA. – 1985.
9. Wallace C. S. A suggestion for a fast multiplier / Wallace C. S // IEEE Trans. Computers. – 1964. – V. EC–13. – pp. 14–17.
10. Schiffer J. EW Systems Synthesizers Find a New Design Approach. / Schiffer J. // MSN. – 1981.
11. Symmetricom [Elektronnyi resurs]. // Datasheet Quantum SA.45s CSAC Chip Scale Atomic Clock. – Rezhym dostupu do zhurn. : <http://www.symmetricom.com/resources/download–library/documents/datasheets/quantum–sa45s–csac/>
12. Kalle Palomaki. A Digital Sinusoidal Signal Synthesizer Based on Feedback. / Kalle Palomaki // Tampere university of technology. – 1999.
13. Kharmut Kh.F. Nesynusooidalnye volny v radyolokatsyy y sviazy: per. s anhl.– M.: Radyo y sviaz, 1985.
14. Trotsyshyn I.V., Vymiriuvannia ta peretvorennia fazochastotnykh parametriv radiosyhnaliv.– Khmelnytskyi:PP Kovalskiy V.V., 2002. – 382 s.

Рецензія/Peer review : 21.09.2020 р.

Надрукована/Printed :04.11.2020 р.